

AK Design Chain für Elektronik Systeme



3. Design Tagung

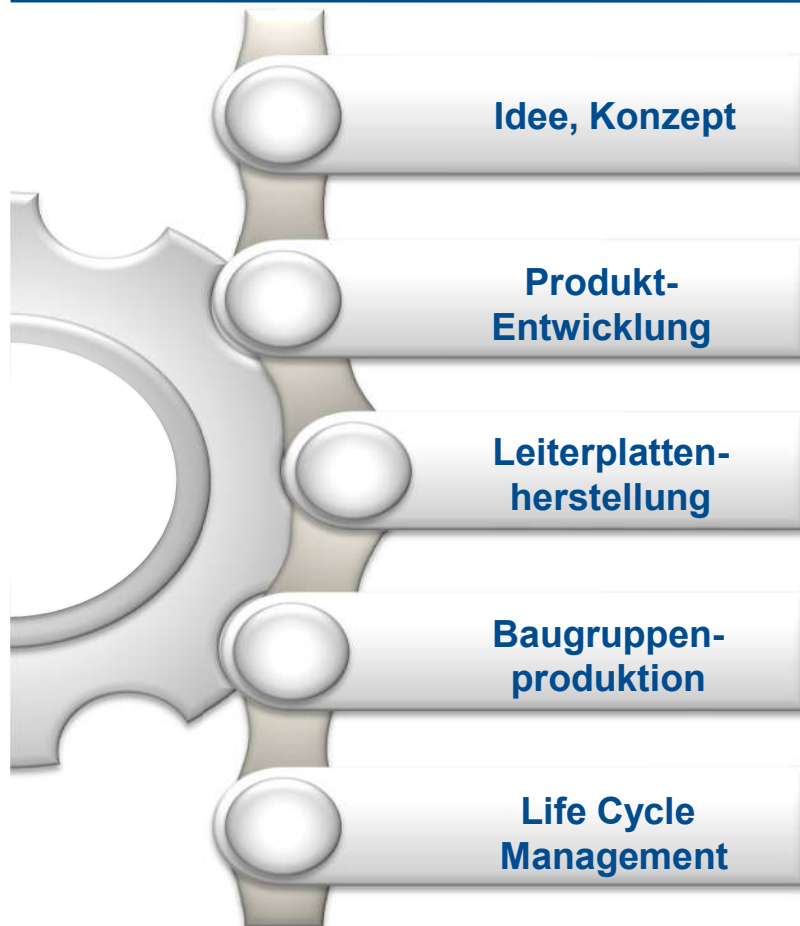
22.01.2020

Siemens AG, München

Agenda

13.00 .. 13.30 Uhr	Begrüßung, Vorstellung Corporate Technology der Siemens AG Stefan Stegmeier, Stefan Kiefl, Siemens AG
13.30 .. 13.45 Uhr	Vorstellung der ZVEI Initiative „Design Chain“ Markus Biener, Zollner Elektronik AG
13.45 .. 14.00 Uhr	Vorstellung des Projektes „LP2010“ Arnold Wiemers, Leiterplattenakademie, ILFA
14.00 .. 14.40 Uhr	Anforderungen an die Leiterplattenproduktion hochlagiger Highspeed-Boards Arnold Wiemers, Leiterplattenakademie, ILFA
14.40 .. 15.00 Uhr	Kreative <i>Kommunikationspause</i>
15.00 .. 15.45 Uhr	Signalintegrität und Eigenstörsicherheit elektronischer Baugruppen Ralf Brüning, Zuken EMC Technology Center
15.45 .. 16.20 Uhr	DfX – Design for Excellence Markus Biener, Zollner Elektronik AG
16.20 .. 16:45 Uhr	Lösungsorientierte Dokumentation von Baugruppen / offene Diskussion mit den Referenten
	Ende ca. 17.00 Uhr

AK Design Chain für Elektronik Systeme



**Vorstellung der
ZVEI Initiative**

Kartellrechtskonformes Handeln im ZVEI

Compliance-Hinweise für ZVEI-Sitzungen

„Werte schützen, Werte schaffen ...“

- ZVEI e.V. ist einer der führenden Industrieverbände
 - Ehrenamtliches Engagement ist eine der wesentlichen Komponenten unserer Verbandsarbeit
 - Unser Verband ist glaubwürdiger und vertrauensvoller Ansprechpartner für die Politik, öffentliche Stellen und den Gesetzgeber
- ➔ Unsere Rolle als Vertreter der Elektroindustrie gilt es gemeinsam nachhaltig abzusichern, um aktuelle politische Fragen zu beantworten und die Herausforderungen der Zukunft zu meistern.

Leitfaden für unsere Verbandsarbeit (Auszug)

- Zulässige Themen in Gremiensitzungen
vgl. Ziffer 6, beispielsweise:
 - Allgemeine Konjunkturdaten
 - Aktuelle Gesetzesvorhaben und deren Folgen
für die Gesamtheit der Unternehmen
 - Diskussionen über Lobbyaktivitäten des ZVEI
 - Ausarbeitung eines Branchenüberblicks
 - Allgemeiner Austausch von Daten,
die frei zugänglich sind.

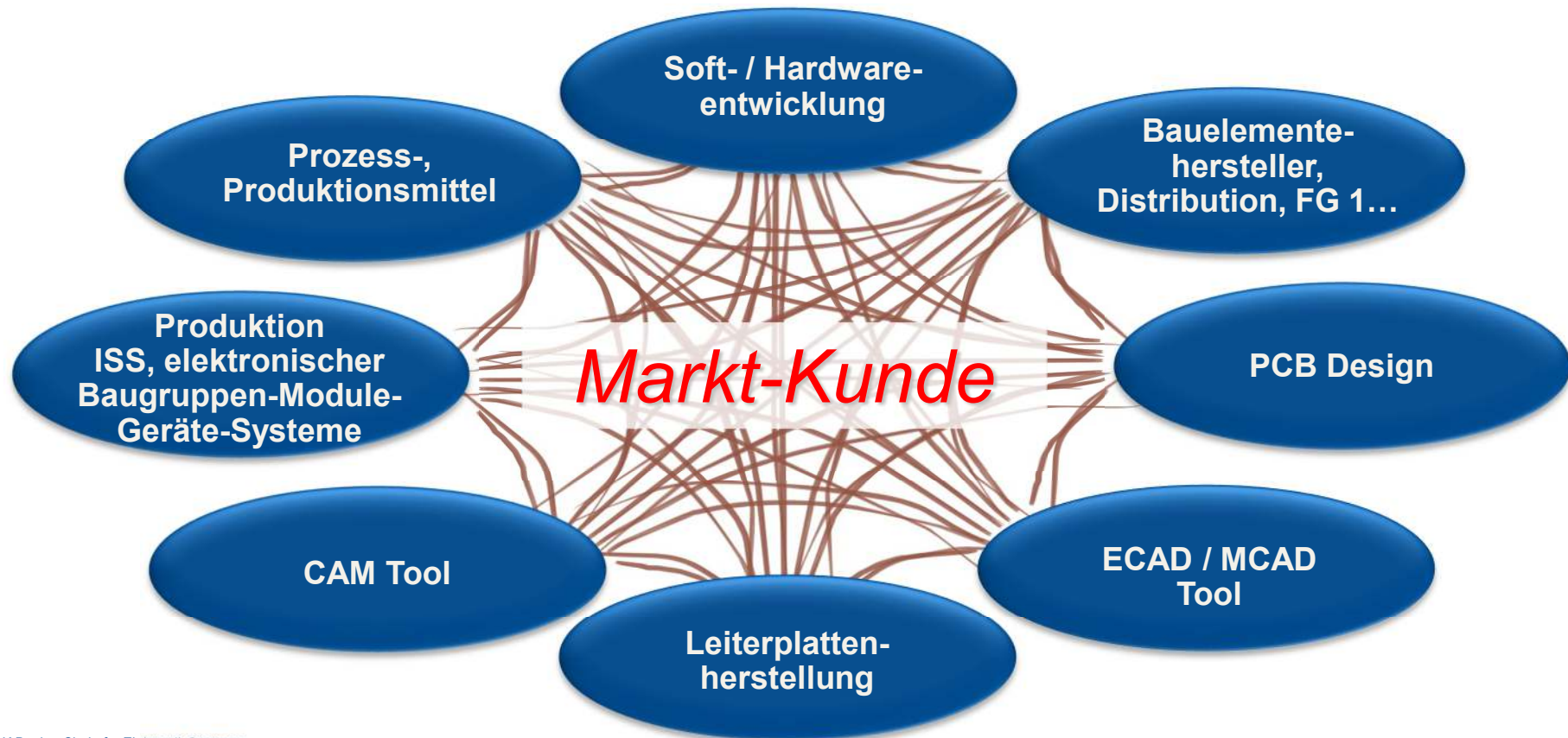


Leitfaden für unsere Verbandsarbeit (Auszug)

- In Gremiensitzungen unzulässige Themen
vgl. Ziffer 7, beispielsweise:
 - Preise, Preisbestandteile, Rabatte, Preisstrategien oder –kalkulationen sowie Preisänderungen
 - Informationen, die Rückschlüsse auf die Marktstellung einzelner Produkte zulassen
 - Liefer- und Zahlungskonditionen aus Verträgen mit Dritten
 - Informationen über Unternehmensstrategien und zukünftiges Marktverhalten
 - Marktanteile, Gewinn/-margen und geplante Investitionen
 - Koordination von Angeboten gegenüber Dritten, Aufteilung von Märkten oder Bezugsquellen in räumlicher oder personeller Hinsicht.
 - Boykotte und Liefer- oder Bezugssperren



Optimierungsbedarf in den Prozessen



Der Einfluss der einzelnen Disziplinen Schaltungsentwicklung, PCB Design, Leiterplattenherstellung und Produktion elektronischer Baugruppen **auf ein Endprodukt** ist in den letzten Jahren massiv angestiegen.

Die **internationale Wettbewerbsfähigkeit** industrieller Anlagen und Technologien ist direkt an die qualitative Leistungsfähigkeit elektronischer Systeme gekoppelt.

Das **Spektrum der Anforderungen**, aber auch die **Leistungsfähigkeit dieser Fachbereiche** wachsen in immer kürzeren Zeitabständen.

Es ist also notwendig, ein Netzwerk einzurichten, das sich mit der Problemstellung und einer **ganzheitlichen Betrachtung der kompletten Prozesskette** befasst.

Nur so kann ein hoher Innovationsgrad erreicht werden.

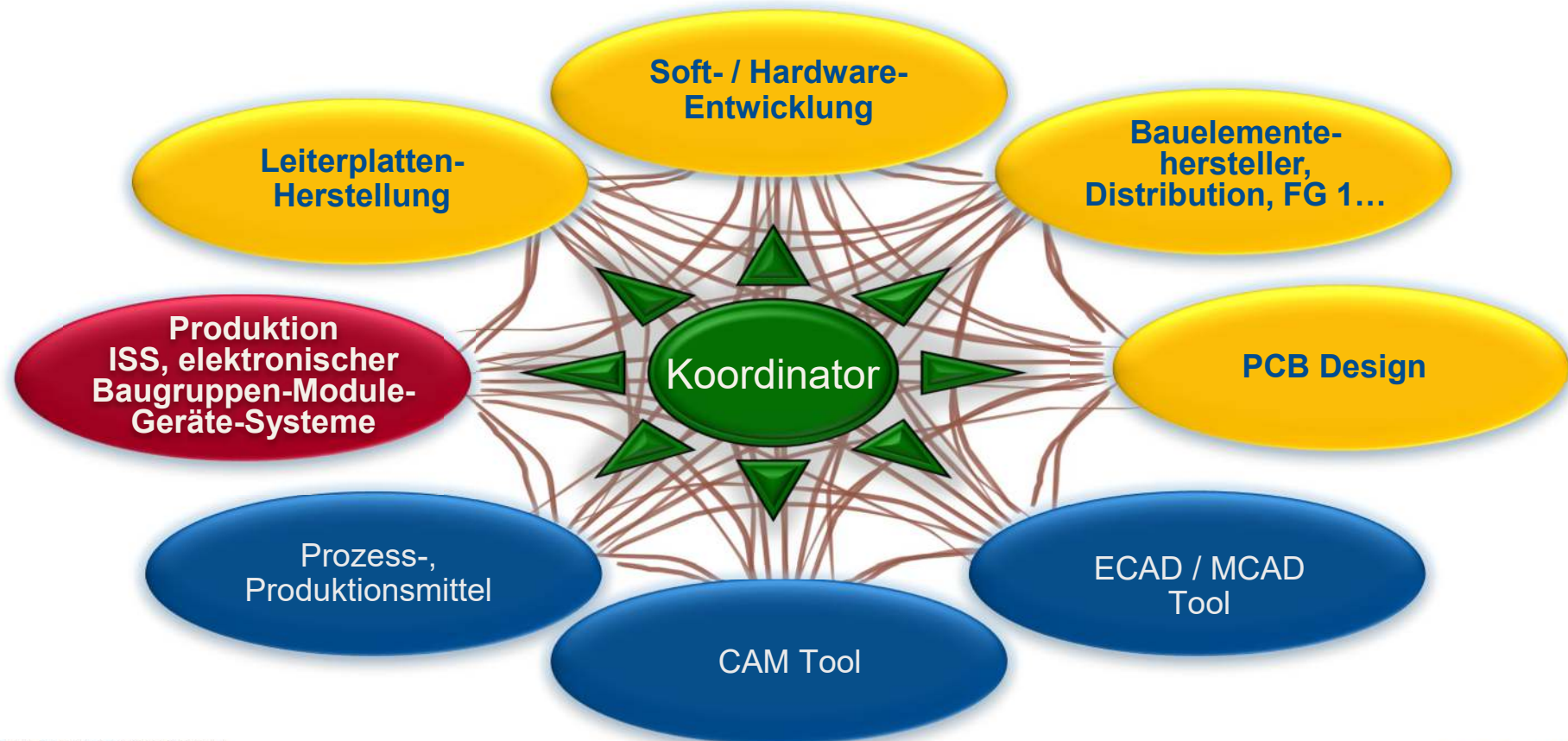
Herausforderung

- Gemeinsames Verständnis für das Machbare und das Notwendige aller beteiligten Gruppen in einem Netzwerk (vom Marketing bis zur fertigen Baugruppe) schaffen
- Erarbeitung von verständlichen, zuverlässigen und zukunftsorientierten Design Guidelines für die Konstruktion elektronischer Baugruppen
- Möglichkeiten zur erfolgreichen und flächendeckenden Verbreitung des Wissens in Firmen, Berufsschulen, Hochschulen und Universitäten mit dem Ziel der Generierung eines Berufsbildes und eines Studiums mit einem Masterabschluß
- Ausbildung der PCB Designer, Leiterplatten- und Baugruppentecnologen mit der Perspektive auf technisch und wirtschaftlich innovative Produkte
- Schaffung einer nachhaltigen Netzwerkstruktur für ein optimales Produkt

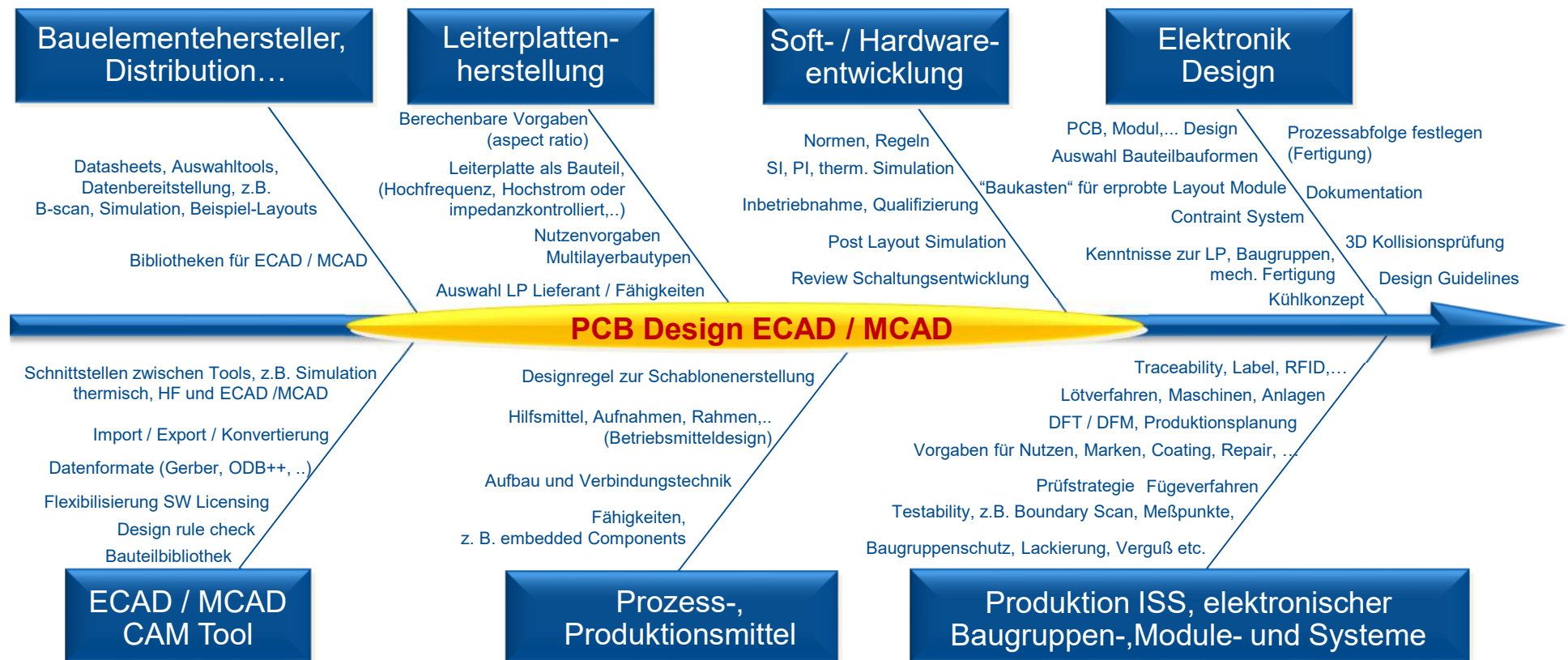
Was bisher geschah...

- **Zusammenfassung der Aktivitäten aus**
 - **Gemeinsame Projektgruppe Design FED / ZVEI**
(Strombelastbarkeit, Einpresstechnik, Endoberflächen, Basismaterialien, Lötstopplackdesign, Entwärmungskonzepte,...)
 - **AK Ergebnisse**
(NPI, Repair/Rework von elektronischen Baugruppen, Services in EMS Initiative, Robustness Validation, Steckverbinder, Qualität in der Leiterplatte, Zuverlässigkeit, PLM, Traceability, Obsolescence Management,...)
- **Arbeitstreffen um die Herangehensweise zu klären**

Was bisher geschah...

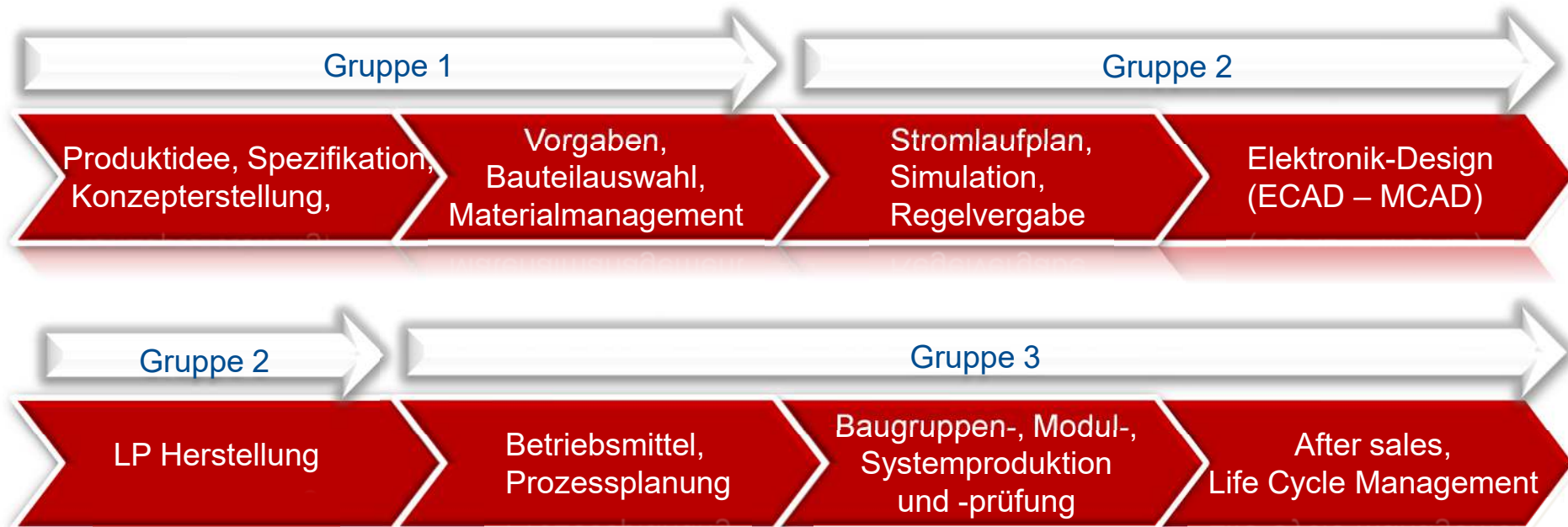


Was bisher geschah...

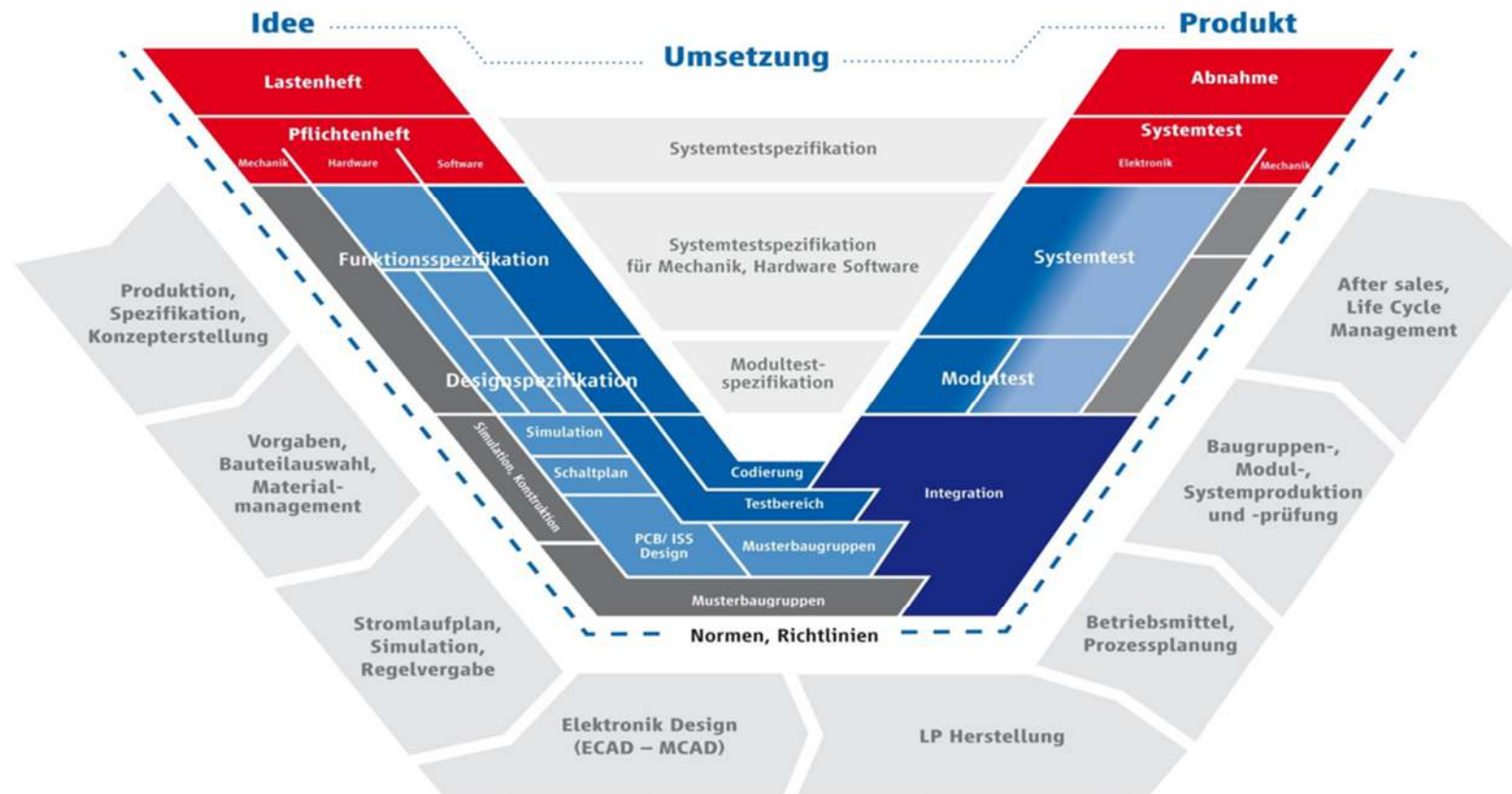


Was bisher geschah...

Identifizierung der gesamten Prozesskette und der einzelnen Kettenglieder sowie deren Nahtstellen und Vernetzungen



Was bisher geschah...



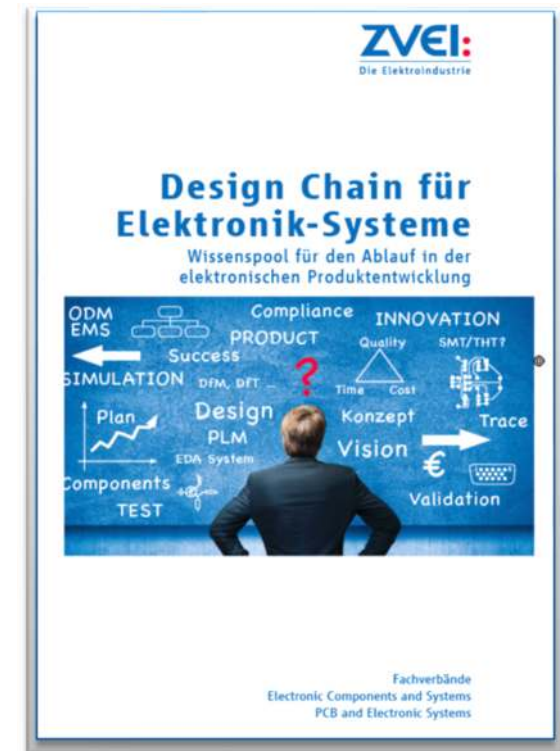
Aufbau und Struktur des Arbeitskreises

- 3 Gruppen anhand des PEP
- 8 Gruppen mit Zuordnung
- Auflösung der Gruppen und offene Arbeit an Themen



Aktueller Stand ...

- ca. 40 AK-Mitglieder (ca. 1/3 aktiv)
- 2 Informationsebenen (Fachebene, Informationsebene)
- Erstellen von Flyern (2014, 2016), Infobroschüre (2020)
- Round Table Gespräche, Presseberichte, Vorträge, Messen, Workshops, Design Tagungen
- Aktuell erfolgt die Ausarbeitung der einzelnen Fachartikel (wichtige Querinformationen werden gruppenübergreifend erarbeitet) **ca. 170 Themen**
- Bearbeitung von aktuellen Themen (z.B. Design – Produktion)



Aktueller Stand ...

Beispiel 1

Dokumentation der bisher vom AK Design erarbeiteten Designregeln für die Konstruktion elektronischer Baugruppen.

Aspect Ratio

Referenz für das CAD-Design in Abhängigkeit von der Galvanik des Leiterplattenherstellers. Die Kontaktierbarkeit von Vias ist ein elementarer Parameter für die Funktion einer elektronischen Baugruppe.

Aspect Ratio für Bohrungen

Elementare Vorgaben für eine zuverlässige Hülsenmetallisierung

Leiterplatten müssen kontaktiert werden, wenn die elektrischen Signale über mehrere Lagen geführt werden sollen.

Nach dem Bohren/Lasern der Löcher durchlaufen die Leiterplattenzuschnitte in einem Galvanoautomaten mehrere galvanische Bäder. Auf die Vorreinigung der Löcher folgt das Aktivieren der zu diesem Zeitpunkt noch nicht leitenden Lochwände/Lochhülsen. Dabei wird durch eine chemische Abscheidung von Karbon oder Palladium oder Kupfer eine stromleitende Oberfläche mit einer geringen Dicke von 2-3µm erzeugt.

Der endgültige Aufbau des deutlich dickeren Hülsenkupfers findet in einem galvanischen Bad statt, das in wässriger Lösung Kupferionen zur Verfügung stellt. Die Kupferionen werden von armierten Kupferanoden geliefert, die in das Bad eingetaucht werden.

Der Leiterplattenzuschnitt wirkt als Kathode. Durch Anlegen eines elektrischen Feldes kommt es zur Elektrolyse. Die Kupferionen werden motiviert, sich auf der gesamten freiliegenden Oberfläche des Leiterplattenzuschnittes abzulagern (~ Panelplating).

Durchflutung der Hülse

Topologisch gesehen ist die Innenwand einer Bohrung (~ die Bohrhülse) Teil der Oberfläche. Damit die Hülsenwand mit Kupfer beschichtet werden kann, muss die Bohrung in den einzelnen galvanischen Bädern mit den reaktiven Flüssigkeiten durchflutet werden.

Wird Flüssigkeit in eine Bohrung eingebracht, dann kommt es zu Wechselwirkungen zwischen den Molekülen der Flüssigkeit und der Hülsenwand. Durch Adhäsion (~ Haftkraft, Haftung) wird die Flüssigkeit an der Wand festgehalten.

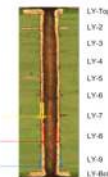
Zusätzlich halten die Moleküle untereinander zusammen, mit dem Bestreben, eine geschlossene Oberfläche auszubilden (~ Oberflächenspannung). Diese Effekte wirken einer beliebigen Durchflutung entgegen.

Für eine Leiterplatte/Baugruppe kann eine unzureichende Durchflutung katastrophale Folgen haben. Ist die Durchflutung der Bohrung unregelmäßig, dann wird auch das Kupfer an der Hülsenwand unregelmäßig abgeschieden.

Im Ergebnis ist die Hülsenwand zu dünn oder fehlt in Teilbereichen ganz.



Galvanoautomat für das Kontaktieren



Querschnitt durch ein Via in einer Leiterplatte

Hinweis (Aspekt Ratio) :

Aus didaktischen Gründen ist "Aspekt Ratio" in den Formeln "AspectRatio" geschrieben.

Hinweis (Lochlänge) :

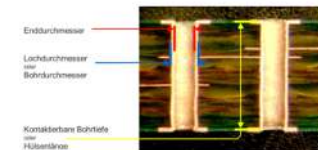
Die physikalische Problematik der Kontaktierbarkeit eines Loches betrifft üblicherweise nur Vias. Die Durchmesser der Löcher für bedrahtete Bauteile (~ THDs) sind deutlich größer. Ist die Durchflutung/Kontaktierbarkeit der Vias sichergestellt, dann ist auch die Durchflutung/Kontaktierbarkeit der THD-Bohrungen sichergestellt.

Vias können mit einem Bohrwerkzeug oder mit einem Laser erzeugt werden. Der Begriff "Laserbohrung" ist üblich, aber unzutreffend. Ein Bohrer schneidet das Material und erzeugt Späne oder Pulver, ein Laser ändert durch seine lokal eingebrachte Energie den Aggregatzustand des Materials und erzeugt Gas.

In den hier beschriebenen Regeln bezeichnen die Begriffe "Lochdurchmesser" und "Lochlänge" oder "Hülsenlänge" gebohrte oder gelaserte Vias. Die Begriffe "Bohrdurchmesser" und "Bohrtiefe" bezeichnen gebohrte Vias. Die Begriffe "Laservias" und "Vialänge" bezeichnen gelaserte Vias.

Regel (Aspekt Ratio)

Das Aspekt Ratio für Bohrungen beschreibt das *mathematische Verhältnis* zwischen dem minimalen Lochdurchmesser und der galvanisch maximal zu kontaktierbaren Länge eines Loches.



Einflussgrößen für die Formulierung des Aspekt Ratios

Da die Formel eine direkte Abhängigkeit des Aspekt Ratios von der "kontaktierbaren Hülsenlänge" aufzeigt, folgt, daß es für nichtkontaktierte Bohrungen eine Bedingung für ein Aspekt Ratio *nicht* geben kann.

Als Nebeneffekt ergibt sich die Erkenntnis, daß der Enddurchmesser eines Vias wohl anscheinend immer dem Wert entsprechen soll, der vom CAD-System in der Agenda des Bohrfiles als "tool diameter" (~ Werkzeugdurchmesser) bezeichnet wird.

Diese Bezeichnung ist irritierend. Korrekt wäre die Bezeichnung "final diameter". Der "tool diameter" ergibt sich in der Praxis aus dem Enddurchmesser plus der Zugabe auf das einzusetzende Bohrwerkzeug. Die Zugabe muß gegeben werden, weil durch das Einbringen der Kontaktierung und der Endoberfläche der Lochdurchmesser verringert wird.

Die Entscheidung, welchen Wert die Zugabe hat, trifft üblicherweise der Leiterplattenhersteller. Damit nimmt er Einfluß auf die Kontaktierbarkeit einer Hülse.

Aktueller Stand ...

Beispiel 2

Dokumentation der vom AK Design erarbeiteten Designregeln für die Konstruktion elektronischer Baugruppen.

Highspeed-Board

Beschreibung einer kompletten anwendungsbezogenen Lösung unter Berücksichtigung der Regelwerke des AK-Design. Ziel ist, Kosten und Zeit durch die Einsparung von Revisionen zu gewinnen.

Design Chain für Elektronik-Systeme

Starre Multilayer : Konstruktion eines Highspeed-Boards

Der Transfer von Informationen muß schnell und zuverlässig erfolgen, wenn die Anforderungen an die Leistungsfähigkeit von CPU-Boards erfüllt werden sollen.

Diese Aufgabenstellung ist nur mit einer ganzheitlichen Vorgehensweise lösbar. Die Konstruktion des CAD-Layouts muß mit einer funktionalen Geometrie durchgeführt werden. Der Aufbau des Multilayers für ein Highspeed-Board muß diese Geometrie umsetzen können.

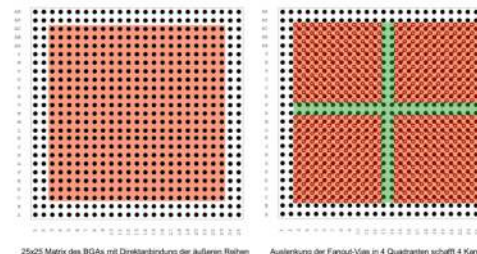
Aus physikalischer Sicht sind die Signalintegrität, die Powerintegrität und das allgemeine EMV-Verhalten der späteren Baugruppe zu beachten.

Ausschlaggebend für eine analytische Vorbetrachtung ist immer die Geometrie der komplexesten elektronischen Komponente. Die nachfolgende Beschreibung geht von einem BGA mit einer 25x25 Matrix und einem 800µm-Pitch aus.

Routing des BGAs

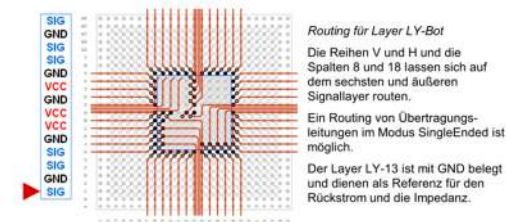
Im CAD-Layout lassen sich die beiden äußeren Reihen des BGAs direkt in der Schaltung verdrahten, ohne daß ein Kontaktieren notwendig ist. Der innere Bereich des BGAs kann nur über Vias verdrahtet werden.

Um den verfügbaren Platz für die Leiterbahnen zu maximieren, werden die Vias ausgeleitet in 4 Quadranten platziert, die von der Mitte des BGAs weg führen. Dadurch entstehen zwischen benachbarten Quadranten Kanäle, die für das Routing der Leiterbahnverbindungen genutzt werden können.



Die Verdrahtung der BGA-Pins kann jetzt Reihe für Reihe erfolgen. Die mögliche Verdrahtungsdichte und die ausgewählte Strategie entscheiden über die Anzahl der Lagen im Multilayer, die für das vollständige Routing benötigt werden.

Design Chain für Elektronik-Systeme



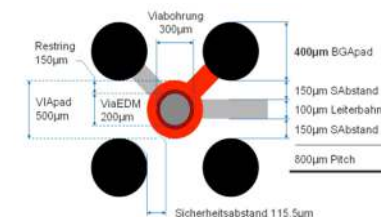
Geometrien für Pads und Tracks

Das Routing des BGAs muß die Leiterplatten- und die Baugruppenproduktion beachten.

Für die Fertigung der Leiterplatten sind der Bohrerzweigdurchmesser, der Restring des Vias, die Leiterbahnbreite und die elektrischen Sicherheitsabstände wichtig. Für die Fertigung der Baugruppe sind der Durchmesser des BGA-Pads und die mechanischen Abstände zwischen den Bildstrukturen ausschlaggebend.

Für die einzelnen geometrischen Elemente gibt es den folgenden Zusammenhang :

$$\begin{aligned} \text{Diagonale}_{\text{BGA}} &= \text{Pitch} \cdot \sqrt{2} = 1131 \mu\text{m} \\ &= 400 \mu\text{m BGApad} + 2 \cdot 115.5 \mu\text{m Sicherheitsabstand} \\ &\quad + 200 \mu\text{m ViaEDM} + 2 \cdot 150 \mu\text{m Restring} \end{aligned}$$



Einrichten einer Online Plattform...



Einrichten einer Online Plattform...

➔ Digitales Publizieren

<http://design-chain.zvei.org/>



- Konzepterstellung : Agentur Becker-Döring
- Website soll künftig folgende Anforderungen erfüllen:
 - Informationsservice und hochwertige Wissensvermittlung
 - Publikationsdienstleistungen
 - Fachliches Recherche-Tool auf aktuellem Niveau
 - Verankerung des Themas in Bildung und Lehre
 - Öffentlicher Zugriff auf Fachwissen
- Formatvorgaben werden in der Kommunikationsabteilung erstellt (Design, rechtliches, Vorgaben,...)
- Informationsebene als Fließtext auf der Webpage, Fachebene kann als PDF heruntergeladen werden
- Start der Umsetzung in Q1'2020 geplant

Einrichten einer Online Plattform...

➔ Digitales Publizieren

<http://design-chain.zvei.org/>



ZVEI
Die Elektroindustrie

AK Design Chain

Prüfung / Test

Baugruppe

CAD / Design

Produktkonzeption

Leiterplatte –

Bohrungen

Produktbeispiele

Die Initiatoren

Ansprechpartner

Nach oben

design-chain.zvei.org

Seite teilen: [Twitter] [Facebook] [LinkedIn]

ZVEI
Zentralverband Elektrotechnik- und
Elektronikindustrie e.V.
Lyoner Straße 9
60528 Frankfurt am Main
Telefon: +49 69 6302-0
E-Mail: [zvei\(at\)zvei.org](mailto:zvei(at)zvei.org)

➤ Zum Kontaktformular

➤ Newsletter abonnieren

➤ Mein ZVEI abonnieren

AK Design Chain | Prüfung / Test | Baugruppe | CAD / Design | Produktkonzeption |
Leiterplatte | Die Initiatoren | Ansprechpartner

Weiterbildung, ist eine politische Herausforderung



PCB Design, eine Schlüsselstelle in der Produktentwicklung

- Aktuell gibt es keinen Ausbildungsberuf bzw. Studiengang Leiterplatten und Baugruppendesign
- Unterlagen für eine „Basispräsentation“ vorhanden
- Prüfen der Zusammenarbeit mit anderen Verbänden (z. B. IHK, Hochschulen, FED,...)
- Erarbeitung eines mehrstufigen Konzept (wie z. B. Mechatroniker IHK, Bachelor, ...)
- Aufsetzen eines Pilotprojektes an Berufsschulen bzw. Hochschulen
- Ziel: Aufwertung des Stellenwertes eines Designers,
Etablierung eines Berufsbildes im Markt,
Wettbewerbsvorteil durch gezielte Aus- und Weiterbildung

Zusammenfassung

- Die Teilnehmer des Arbeitskreises Design Chain haben sich zum Ziel gesetzt alle Zusammenhänge hinsichtlich des Elektronikdesigns und die Abhängigkeiten der Beteiligten innerhalb der Chain darzustellen.
- Jedes Glied dieser Kette beeinflusst die Entstehungskosten und Marktfähigkeit eines Produktes. Das beginnt bei der Produktidee und reicht über die erfolgreiche Markteinführung hinaus bis zum After Sales Service.
- Frühzeitige Absprachen und Kommunikation entlang der „Design Chain“ verkürzen die Dauer der Entwicklungsphasen und erhöhen die Qualität.
- Grundlagen und Hilfen dazu werden durch den Arbeitskreis des ZVEI angeboten. Er zeigt Wege auf und weist auf die Stellen, die in der Informationskette unumgänglich sind um Fehler frühzeitig zu erkennen und zu vermeiden.

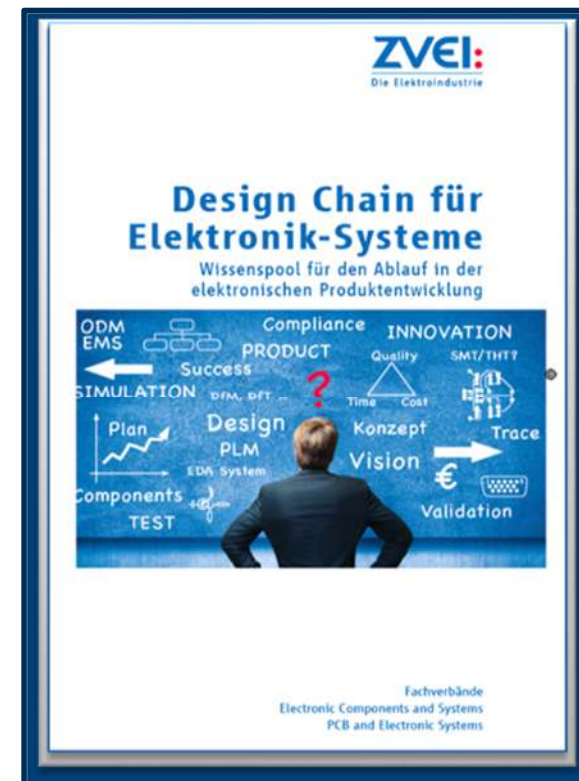
Mit den notwendigen Informationen im Netzwerk intelligent ans Ziel
 Sichern Sie sich aktuelles Wissen und arbeiten Sie aktiv im Arbeitskreis mit!

ZVEI:
 Die Elektroindustrie



**Gemeinsam zum optimalen
Design / Erfolg**

**Vielen
Dank**



Anhang

Markus Biener

Markus Biener, ist vom IPC zertifizierter C.I.D., C.I.D.+ Trainer, FED Designer und Referent.

Er befasst sich seit 1994 mit dem Design von Leiterplatten, Baugruppen und Systemen und leitet seit 1998 das PCB Design Team der Zollner Elektronik AG.

Der Schwerpunkt ist die Industrialisierung des Schaltungsentwurfes in enger Abstimmung mit der kompletten Design Chain.

Er arbeitet seit 2004 in verschiedenen Arbeitskreisen der Verbände FED und ZVEI mit den Themen Design Chain, Aus- und Weiterbildung und Services in EMS mit.



Kurzportrait: Zollner Elektronik AG

Branche: EMS



Produktportfolio / Dienstleistungen:

Komplexe mechatronische Systeme, von der Entwicklung bis zum After Sales Service.

Historie: 1965 Gründung des Unternehmens durch Manfred Zollner

Standorte: insgesamt 18 Standorte in Deutschland, Ungarn, Rumänien, China, Tunesien, den USA, der Schweiz, Costa Rica und Hong Kong

Kennzahlen: 1.388 Mio. € Umsatz, >11.000 Mitarbeiter (Stand: 31.12.2017)

Zertifizierungen: ISO 9001, ISO 14001, ISO/TS 16949, OHRIS, ISO 13485, EN 9100, ISO/IEC 27001, IRIS/ISO22163, ISO 50001