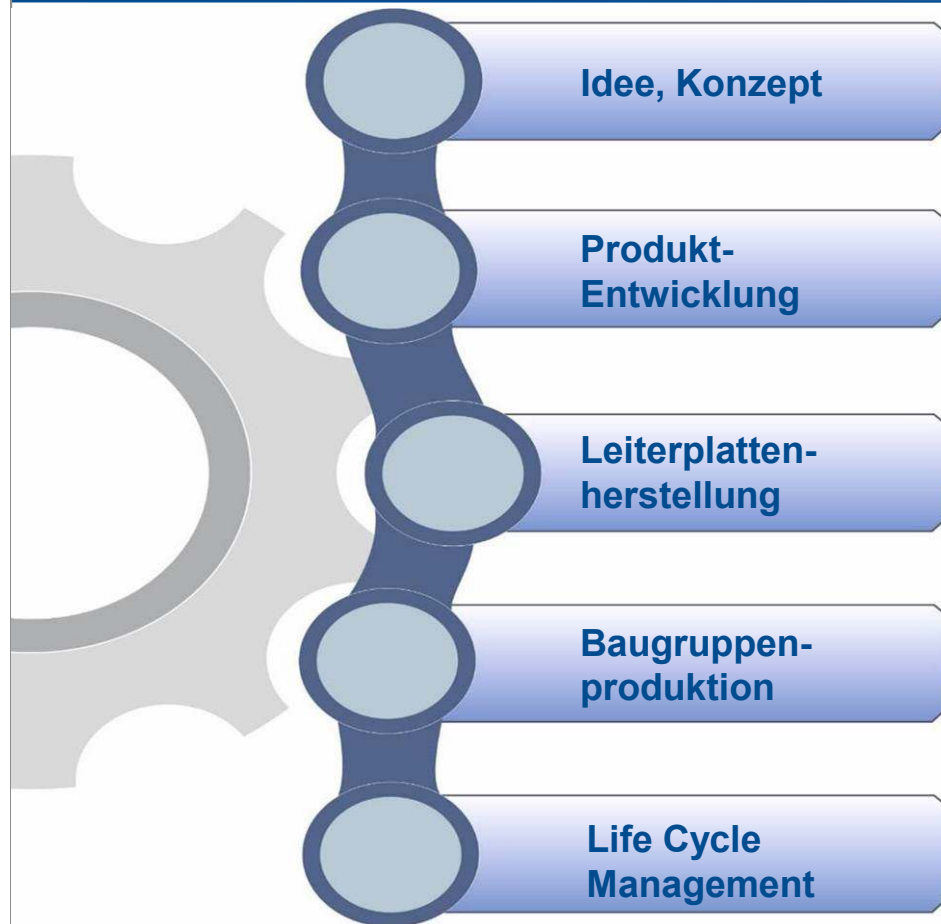


AK Design Chain



Arnold Wiemers

ILFA GmbH

LeiterplattenAkademie GmbH

**Anforderungen an die
Leiterplattenproduktion
hochlagiger Highspeed-Boards**

26.03.2019 Weidmüller, Detmold

Anforderungen an Highspeed-Boards

Die systematische Konstruktion eines Highspeed-Boards am CAD-System, die kontrollierte Produktion der dazugehörigen Leiterplatten (...und die Bestückung der Baugruppe) gehen Hand in Hand, beeinflussen, begrenzen und fördern sich gegenseitig.

Wichtige Aspekte sind :

Die physikalische Berücksichtigung der Signal- und Powerintegrität

Die Auswahl des Basismaterials und der Lagenaufbau

Der Einfluß der Kontaktierungsvariante und der Rückätzung

Der Fertigungsablauf

Die Produktionstoleranz in Richtlinien und Normen

Die physikalische Berücksichtigung der Signal- und Powerintegrität

Die Auswahl des Basismaterials und der Lagenaufbau

Der Einfluß der Kontaktierungsvariante und der Rückätzung

Der Fertigungsablauf

Produktionstoleranzen in Richtlinien und Normen

Signal- und Powerintegrität

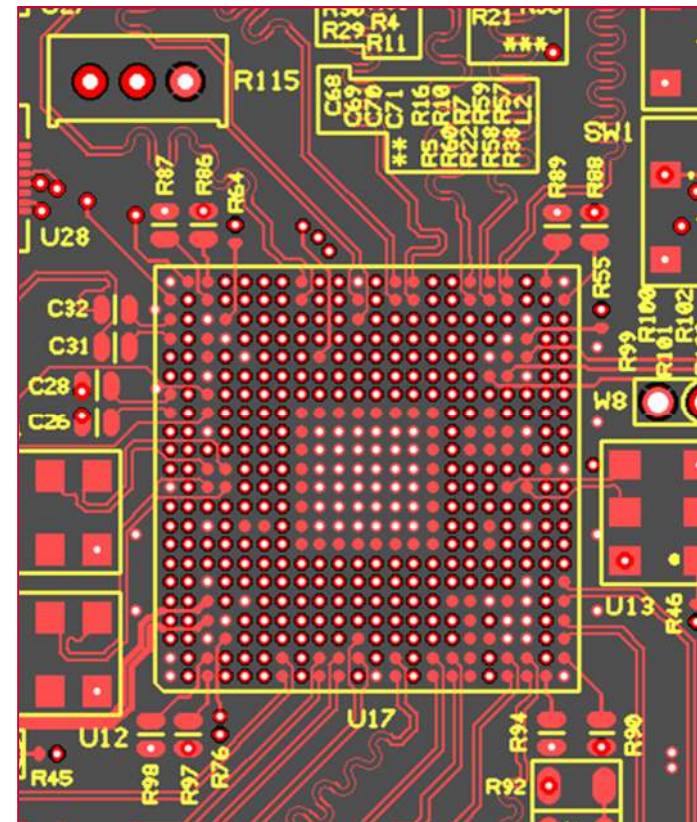
Eigentlich ist es nicht sooo schwierig.

Für den **Signaltransfer** muß der Abstand zwischen den Komponenten mit Leiterbahnen überbrückt werden.

Im Idealfall sind die Signalverbindungen über **Leiterbahnen** direkt und kurz geführt.

Für die **Stromversorgung** muß Energie an die Bauteile herangeführt werden.

Durch den Einbau von **Powerplanes** im Lagenaufbau eines Multilayers kann die Versorgung der Komponenten mit Energie direkt vor Ort zuverlässig sichergestellt werden.



Anpassung der Signallaufzeit

Unterschiedliche Leitungslängen führen zu unterschiedlichen Signallaufzeiten. Damit die Datenübertragung synchronisiert werden kann, müssen Leitungslängen im CAD-Layout abgeglichen werden. Insbesondere bei differentieller Signalübertragung ist das kaum ohne die CAD-Software umsetzbar. In den Constraints für den Schaltplan und das Layout muß festgelegt werden, welche Netze auf welchen Layern geroutet werden sollen.



Bildquelle: Arnold Wiemers

Signalintegrität

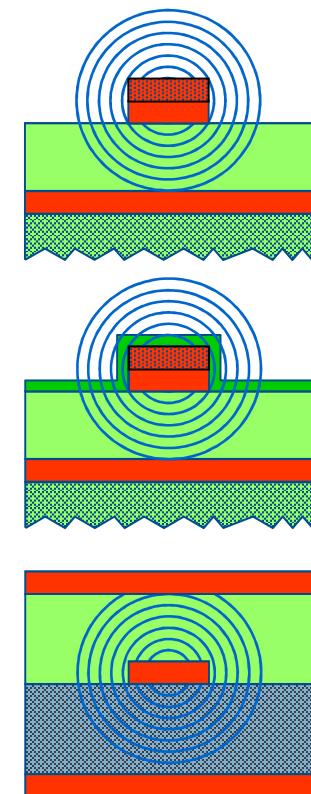
Die **Signalgeschwindigkeit** ist abhängig von den dielektrischen Eigenschaften des Basismaterials.

$$v_{(\text{sig})} = \frac{c}{\sqrt{\epsilon_r}}$$

Alles, was sich innerhalb einer Einflußsphäre mit einem Radius von zirka 150µm bis 200µm um eine Leiterbahn befindet, hat einen signifikanten Einfluß auf die Signalübertragungsqualität.

Das effektive Dielektrikum einer offenen Leiterbahn auf einer FR4-Außenlage liegt bei zirka 2.8, bei einer mit Lötstoplack bedruckten Leiterbahn bei zirka 3.8.

Das effektive Dielektrikum einer innenliegenden Leiterbahn ergibt sich aus den Dielektrika der angrenzenden Materialien.



Beispiel (Signalgeschwindigkeit)

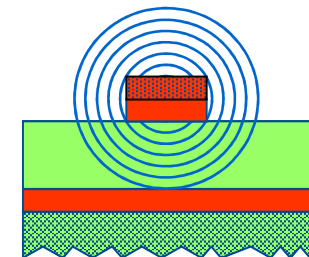
Vorgegeben ist eine relative Permittivität von 4.10 bei einer Frequenz von 1GHz. Referenz ist FR4 des Typs NP-155 der Fa. NanYa.

Die relative Permittivität orientiert sich an der effektiven Permittivität bzw. der effektiven Dielektrizitätseigenschaft, die sich aus den Geometrien der Lagenaufbaumoduln ergibt.

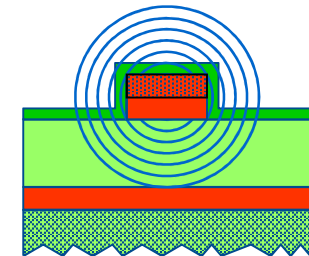
Damit ergeben sich für Leiterbahnen auf den Layern unterschiedliche Geschwindigkeiten.

Das CAD-System muß das berücksichtigen.

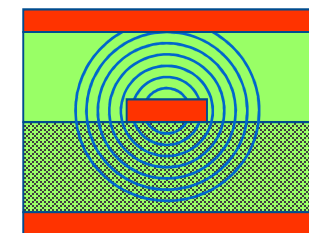
17.96 [cm/ns]
 $\epsilon_{r_{eff}} = 2.8$



$\epsilon_{r_{eff}} = 3.8$
15.38 [cm/ns]



$\epsilon_{r_{eff}} = 4.1$
14.85 [cm/ns]

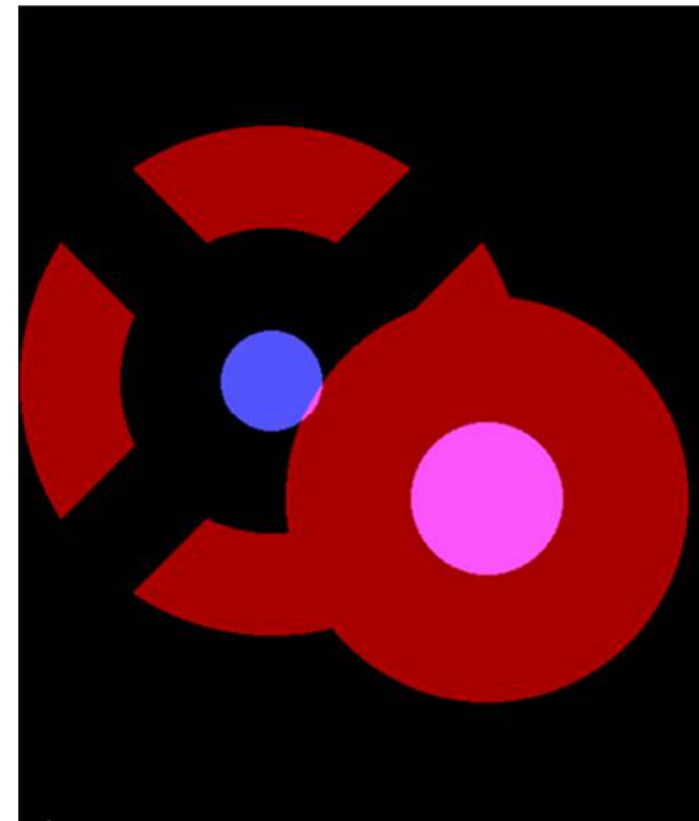


Viadistance

Vias sind für die Signalübertragung immer ein Störfall, allerdings auch nicht zu vermeiden. In der CAD-Bibliothek müssen die Padstacks beachtet werden und in den Constraints die Parameter für die "viadistance" und "electrical clearance".

Die Toleranzen für die Positionierung der Vias und der Leiterbilder während der Fertigung der Leiterplatten werden sonst nicht ausreichend berücksichtigt.

CAD hat die Aufgabe, Fertigungstoleranzen zu puffern.

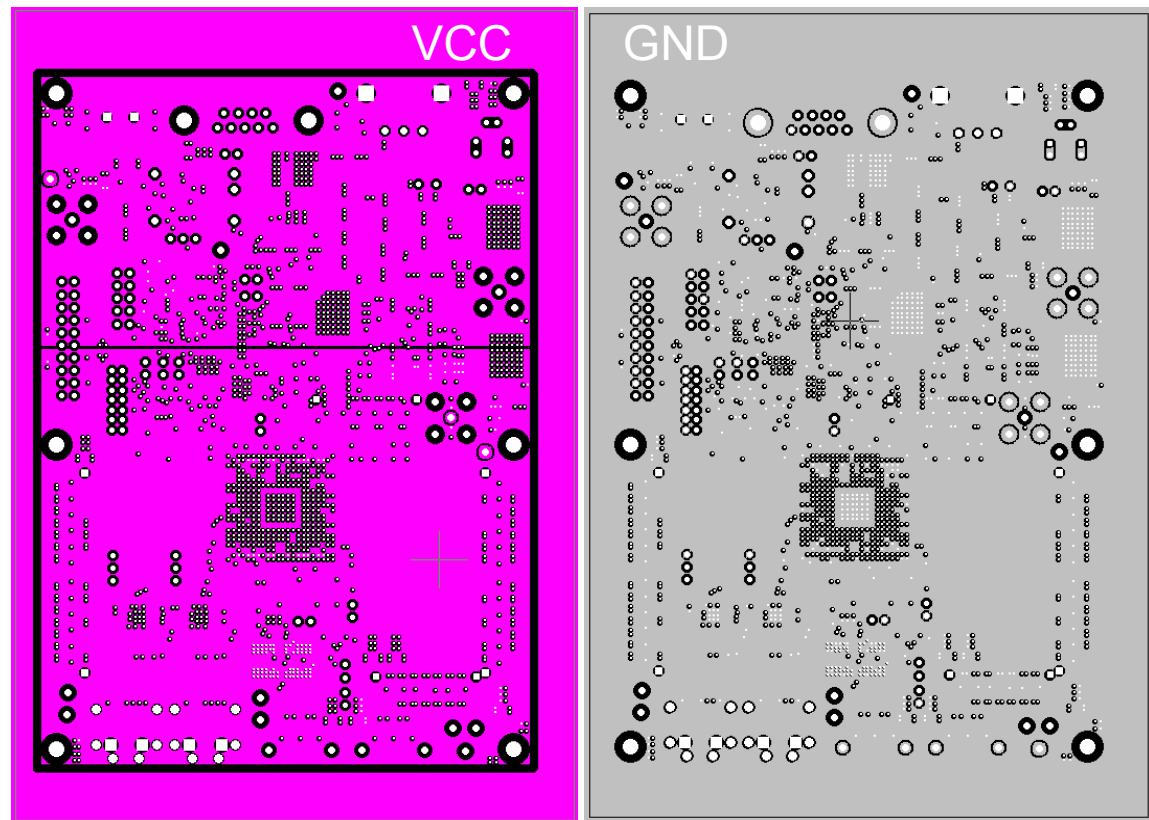


Powerintegrität

Die **Stromversorgung** auf Highspeed-Boards muß flächig ausgelegt werden, damit kapazitive Effekte genutzt werden können.

Wegen der Varianten für das VCC-Potential ist die Aufteilung von Flächen kein Optimum, aber oft auch nicht zu vermeiden.

Das Placement der Komponenten hat dann einen großen Einfluß.

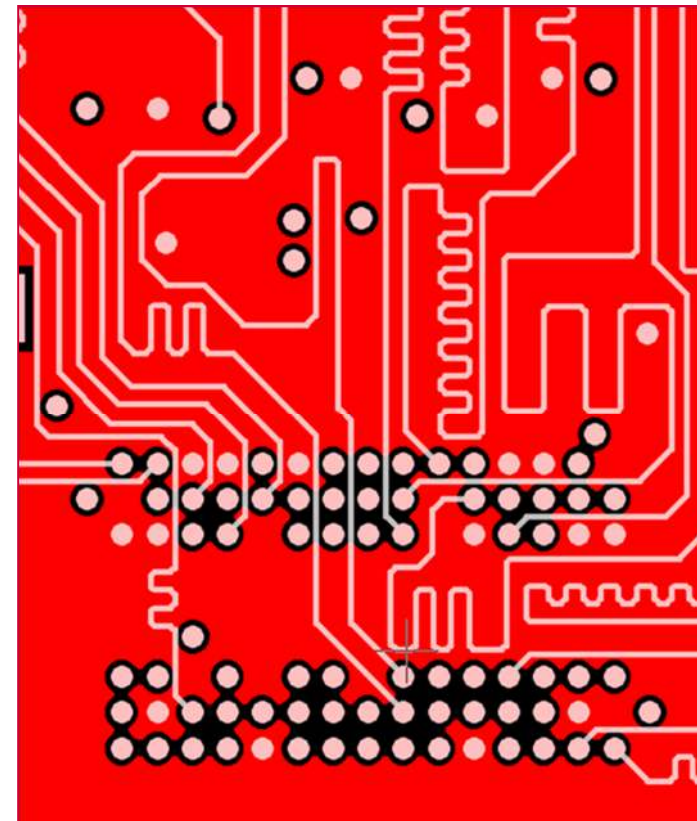


Bibliotheksarbeit + Routing

Durch die zu großen Isolationspads ergibt sich ein langer, breiter Schlitz auf dem GND-Layer.

Die Signale sind mit einem Längenausgleich geroutet. Beim Weg durch den unteren Stecker geht aber auf dem GND-Layer die Referenz für den Rückstrom verloren.

Für die CAM-Analyse des Gerber-Files ist das kein Mangel. Es wird kein Produktionsschritt beeinträchtigt. Folglich gibt es keinen Grund, den Multilayer nicht herzustellen.

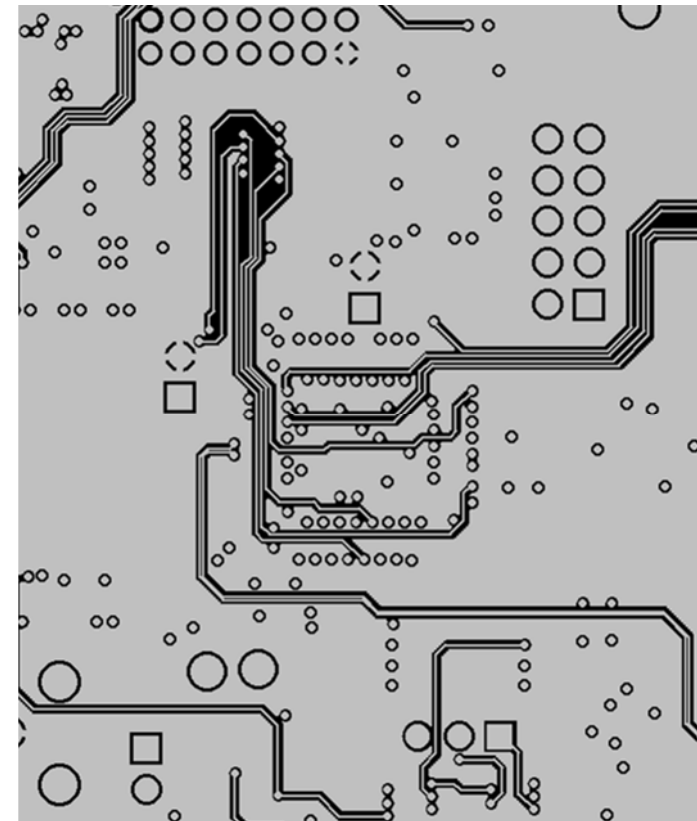


Routing auf Powerplanes

Durch das Einbetten von Signalen ergeben sich aufgesplittete und isolierte Flächen.
Der Stromfluß und die Rückstromwege sind nicht *kontrolliert* definiert.

Die Impedanzreferenzen sind uneinheitlich.
Es ergeben sich inhomogene Geometrien.

Das CAD-System akzeptiert dieses Routing.
Das ändert aber nichts daran, daß die Einbettung von Signalen in Powerplanes für Highspeed-Boards unzulässig ist.



Anforderungen an Highspeed-Boards

Die physikalische Berücksichtigung der Signal- und Powerintegrität

Die Auswahl des Basismaterials und der Lagenaufbau

Der Einfluß der Kontaktierungsvariante und der Rückätzung

Der Fertigungsablauf

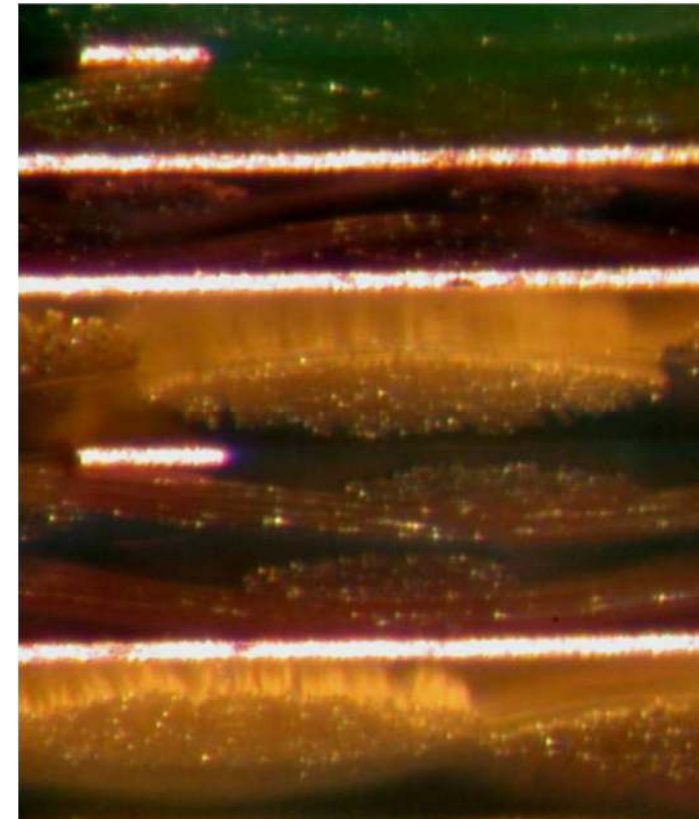
Produktionstoleranzen in Richtlinien und Normen

Basismaterial / FR4 + Technische Eigenschaften

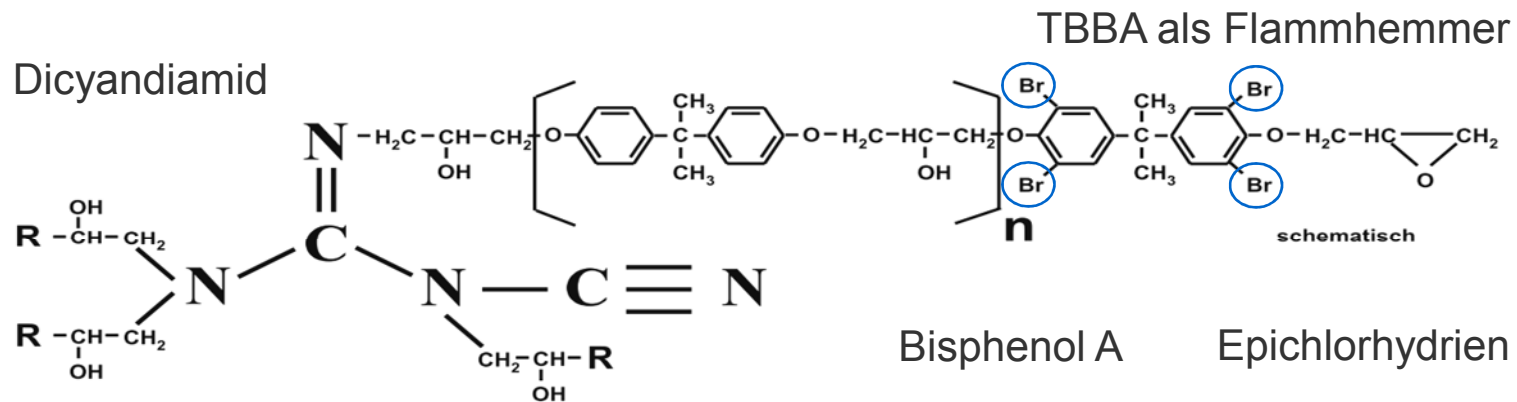
FR4 ist unverändert das **Standardmaterial** für Leiterplatten und auch für Highspeed geeignet.

Heute müssen einige Werte beachtet werden :

T _g	Glass Transition Temperature
T _d	Decomposition Temperature
T _{288°}	Delaminationswahrscheinlichkeit
CTI	Kriechstromfestigkeit
CTE(x,y,z)	X-, Y-, Z-Achsen-Ausdehnung
H ₂ O	Feuchtigkeitsaufnahme, -abgabe
ε _r	Dielektrikum, Permittivität
tan δ	Verlustfaktor
N/mm	Haftfestigkeit des Kupfers
kV/mm	Durchschlagsfestigkeit



Epoxydharz und Härter beginnen zu reagieren, sobald diese Substrate zusammengebracht werden. Für **Prepregs** muß diese Reaktion langsam ablaufen, damit die Klebkraft möglichst lange gesichert ist.



Je nach Basismaterialhersteller gibt es Beimischungen zum Epoxydharz, die funktionale Eigenschaften des Harzsystems unterstützen sollen.

Basismaterial

Welche **Geschwindigkeit** die Signalübertragung auf den Lagen eines Multilayers hat, hängt vom Dielektrikum ab.

Die Anforderung einer Anwendung entscheidet über das einzusetzende Basismaterial.

Beispiel

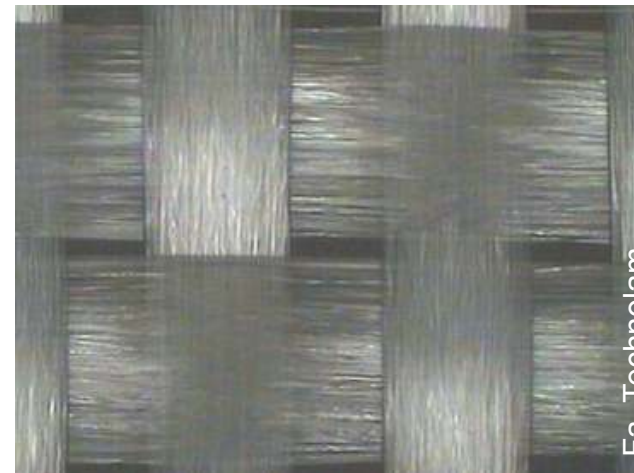
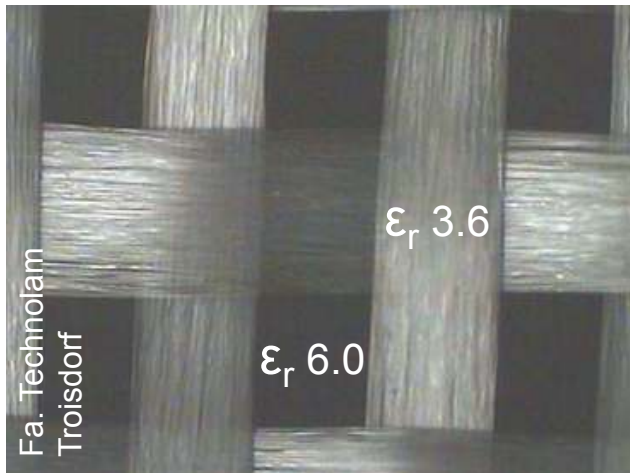
Das Abstandsradar in LKWs funktioniert nur mit hohen Signalgeschwindigkeiten.

Material	Hersteller	Substrat	Tg	ϵ_r (1GHz)	$V_{(sig)}$ [cm/ns]
NP-155f	NanYa	FR4	150	4.10	14.85
Duraver 114	Isola	FR4	150	4.40	14.29
MC100	Matsushita	FR4	125	4.10	14.85
Duraver CE	Isola	CE	230	3.30	16.48
Duramid CE-Cu	Isola	CE	200	3.00	17.44
TMM6	Rogers	Keramik	n.d.	6.20	12.05
TMM10i	Rogers	Keramik	n.d.	10.0	9.49
Ro4003	Rogers	Glas/Keramik	200	3.58	16.13
Ro4350	Rogers	Glas/Keramik	280	3.68	15.62
D5880	Rogers	Teflon/PTFE	n.d.	2.20	20.27
D6002	Rogers	Teflon/PTFE	n.d.	2.94	17.54
D6006	Rogers	Teflon/PTFE	n.d.	6.15	12.10
Ultralam2000	Rogers	Teflon/PTFE	n.d.	2.50	18.99
Duraver P97	Isola	Polyimid/G30	260	4.40	14.29

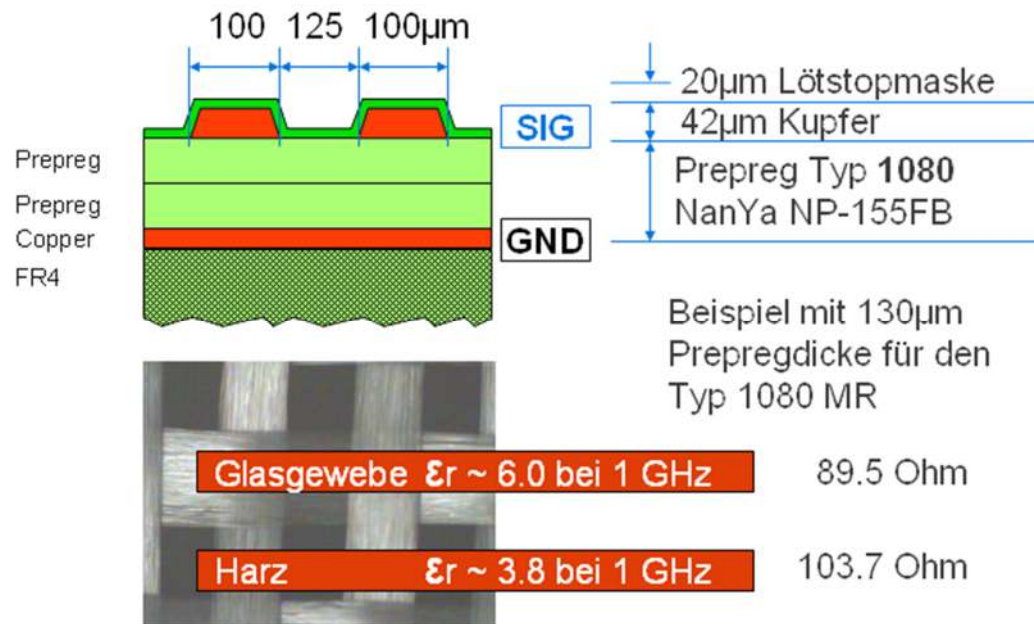
Bildquelle Arnold Wiemers

Glasgewebe können unterschiedliche **Gewebestrukturen** haben. Die unterschiedlichen Abstände zwischen den Gewebefäden beeinflussen die lokalen dielektrischen Eigenschaften (Beispiel : FR4-Prepreg Typ1080).

Die **Signallaufzeit** hängt (auch) von der Platzierung der Leiterbahn auf der Oberfläche des Prepregs ab.



Die Werte für **differentielle Impedanzen** können wegen der unterschiedlichen dielektrischen Werte für Harz und Glasgewebe sehr stark abweichen.



FR4 ist leistungsfähig.

Die Qualität einer High-speed-Baugruppe hängt aber von der präzisen Auswahl ab.

Die Vielfalt der Materialvarianten erfordert eine rechtzeitige Abstimmung mit dem Hersteller der Leiterplatten.

Multilayer-Dokumentation

LeiterplattenAkademie Ri16T1.95c50-17c100-17#2

Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm		100-175-100µm d 120 Ω	LY-Top SIG EM
Copper	17µm		150-100-150µm d 90 Ω	
NP-155fb	70µm	1080 MR-67	135-125-135µm d 100 Ω	300µm s 50 Ω
NP-155fb	105µm	2116 SR-52	200- 90-200µm d 80 Ω	100µm s 80 Ω
Copper	17µm			LY-2 GND
NP-155fb	50µm			LY-3 VCC
Copper	17µm	106 SR-70		LY-4 GND
NP-155fb	50µm			LY-5 VCC
Copper	17µm	106 SR-70		LY-6 GND
NP-155fb	50µm			LY-7 VCC
Copper	17µm	106 SR-70		LY-8 GND
NP-155fb	50µm			LY-9 VCC
Copper	17µm	106 SR-70		LY-10 GND
NP-155fb	100µm		100-110-100µm d 80 Ω	100µm s 50 Ω
Copper	17µm	1080 MR-67	100-150-100µm d 90 Ω	LY-11 SIG
NP-155fb	70µm	1080 MR-67	DRth 1-16	LY-12 GND
Copper	17µm			LY-13 SIG
NP-155fb	200µm		100-120-100µm d 100 Ω	
Copper	17µm	1080 MR-67	120-100-120µm d 90 Ω	325µm s 40 Ω
NP-155fb	70µm	1080 MR-67	170- 90-170µm d 80 Ω	225µm s 50 Ω
Copper	17µm		120-100-120µm d 90 Ω	LY-14 SIG
NP-155fb	200µm		100-120-100µm d 100 Ω	
Copper	17µm	2116 SR-52		LY-15 GND
NP-155fb	105µm		200- 90-200µm d 80 Ω	100µm s 80 Ω
NP-155fb	70µm	1080 MR-67	135-125-135µm d 100 Ω	300µm s 50 Ω
Plated	25µm		150-100-150µm d 90 Ω	LY-Bot SIG
			100-175-100µm d 120 Ω	

Thickness 1.76mm - 1.99mm Bare Board
 1.84mm - 2.08mm ENIG
 1.88mm - 2.11mm HAL
 General tolerance +/- 6%

LA drawing #1167
 Date 29.03.2017
 Name WI
 Comment --

© LeiterplattenAkademie 2017 all rights reserved Subject to change Without guarantee

Der **Lagenaufbau** für die "Leiterplatte 2010".

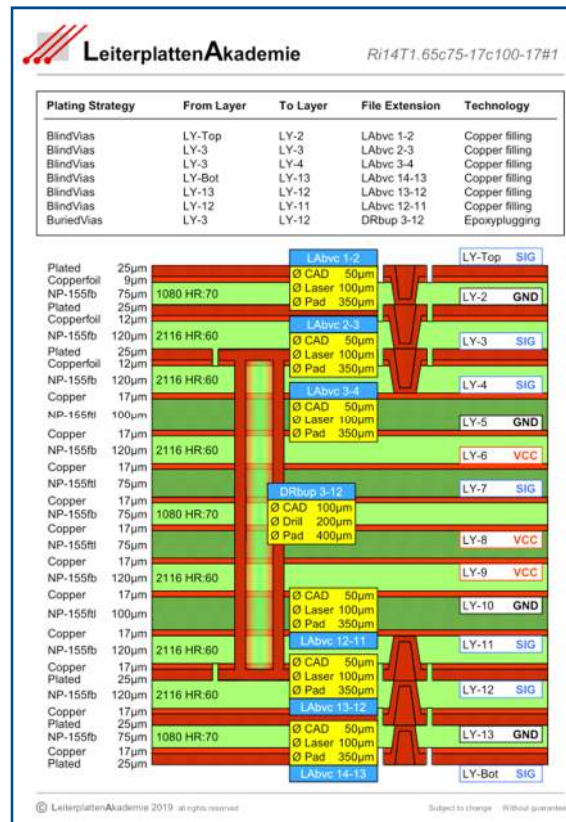
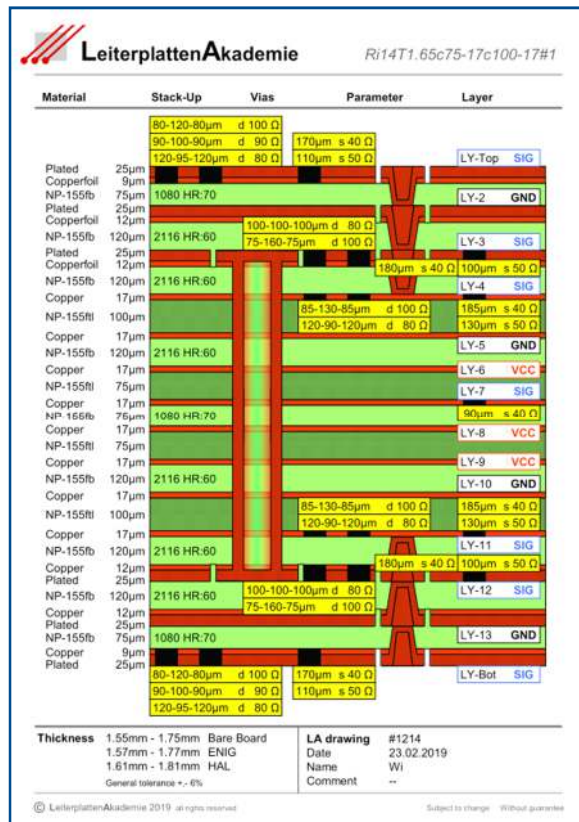
Für das BGA mit einer fast belegten Matrix von 25x25 Spalten und Reihen sind maximal 5 **Signal-layer** für das Routing erforderlich.

Für **GND** sind 7 Lagen vorgesehen, für **VCC** insgesamt 4 Lagen.

Die GNDs sind so verteilt, daß Impedanzen und Rückströme definiert sind.

Durch die Kombination von 8 GND-VCC-Paaren stehen **interne Kapazitäten** im Multilayer für eine effektive Stromversorgung zur Verfügung.

Multilayer-Dokumentation



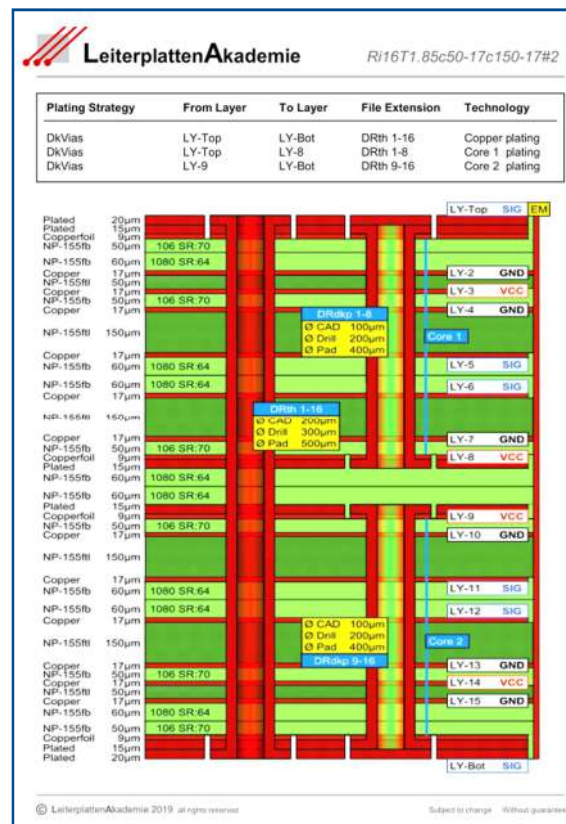
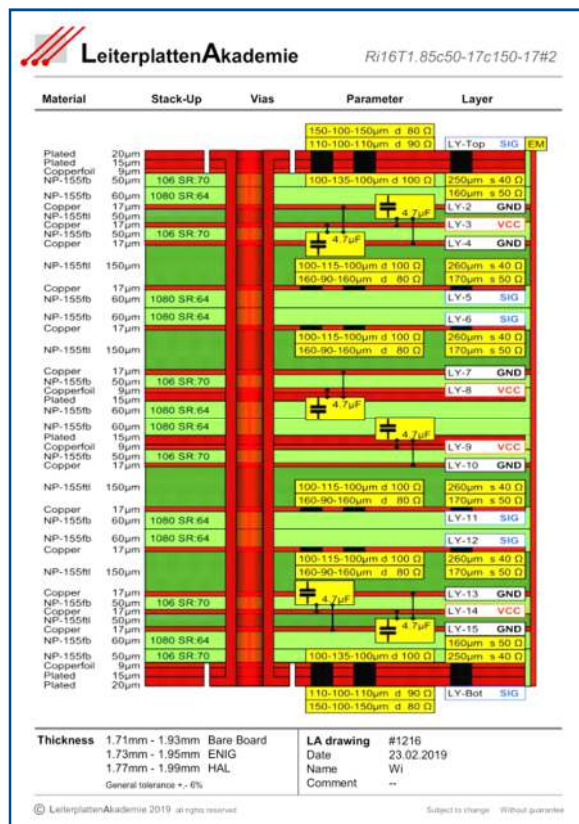
Ein Lagenaufbau des Typs **"Any Layer"** ohne durchgehende Vias.

BuriedVias mit Epoxyd-Plugging.

BlindVia mit Copper Filling. Die Geometrien der BlindVias sind im Grenzbereich.

Variable Kupferdicken.

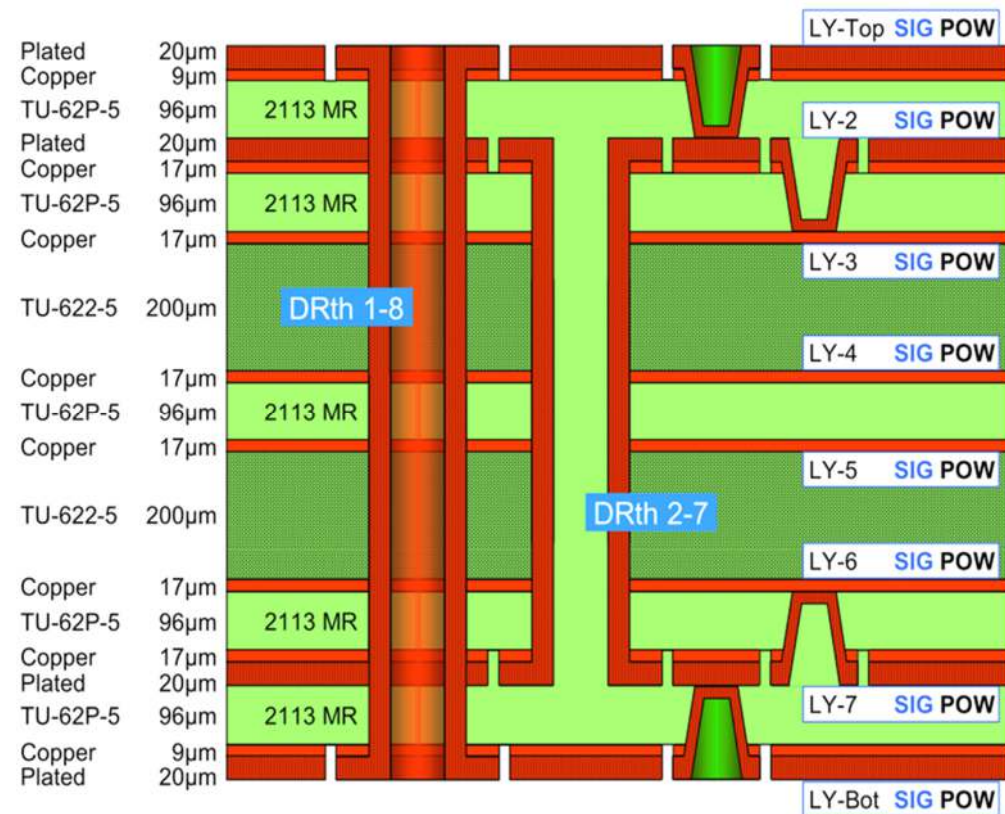
Aber : Keine idealen Rückstromwege und Stromversorgungen.



Ein "**Dual-Core**"-Aufbau.
Der Rückstromweg ist optimiert. Hohe Signalintegrität, geringster Crosstalk. Impedanzen.
Die Stromversorgung liegt auf 50µm-Planes und 50µm-Prepregs.
Dämpfung der Resonanzfrequenz durch Kondensatorgruppen.
Kantenmetallisierung.
Akzeptable Geometrien.

Basismaterial + Kosten

Material	Wert	EUR
Kupferfolie	17µm	0.65
Prepreg	2113	1.14
Kupferfolie	17µm	0.65
Prepreg	2113	1.14
Laminat	200µm	4.33
Prepreg	2113	1.14
Laminat	200µm	4.33
Prepreg	2113	1.14
Kupferfolie	17µm	0.65
Prepreg	2113	1.14
Kupferfolie	17µm	0.65
		Σ 16.96



Kostenreferenz : Europa, Produktionszuschnitt 460x610mm.

Anforderungen an Highspeed-Boards

Die physikalische Berücksichtigung der Signal- und Powerintegrität

Die Auswahl des Basismaterials und der Lagenaufbau

Der Einfluß der Kontaktierungsvariante und der Rückätzung

Der Fertigungsablauf

Produktionstoleranzen in Richtlinien und Normen

AspectRatio für Bohrungen

Bohrungen mit einem Enddurchmesser von 200µm sind bei einer Leiterplattendicke von bis zu 1.60mm Standard.

Enddurchmesser von 100µm sind möglich.

Entscheidend ist nicht das Bohren oder

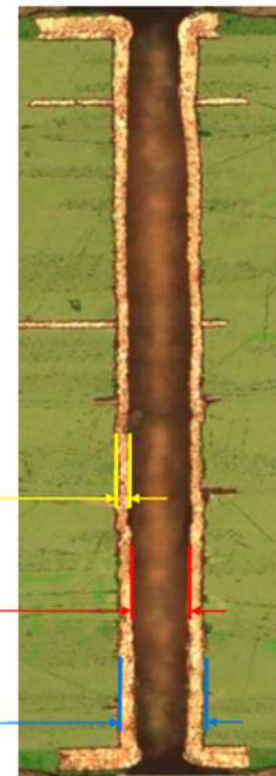
Lasern sondern die **Durchflutung der Hülse** im Galvanobad während des Kontaktierungsprozesses.

Die Oberflächenspannung und der Kapillareffekt wirken einer Durchflutung entgegen.

Metallisierte Hülse
25µm Kupferdicke

Enddurchmesser oder
100µm Lochdurchmesser

Viabohrung
150µm Bohrwerkzeug



LY-Top

LY-2

LY-3

LY-4

LY-5

LY-6

LY-7

LY-8

LY-9

LY-Bot

Definition (AspectRatio für Bohrungen)

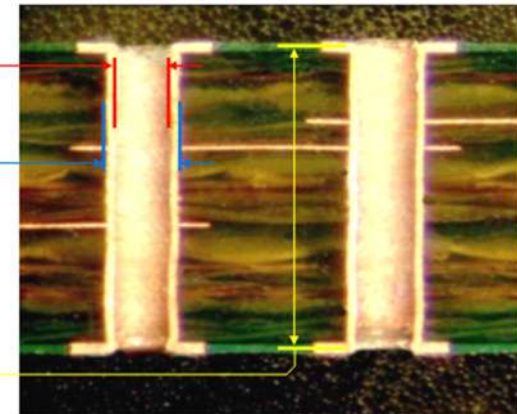
Das AspectRatio beschreibt das mathematische Verhältnis zwischen dem minimalen Lochdurchmesser und der galvanisch kontaktierbaren Hülslenlänge.

Definition (CAD-Tool-Durchmesser)

Der in der CAD-Dokumentation vorgegebene Tool-Durchmesser beschreibt immer den Enddurchmesser auf der fertigen Leiterplatte.

Jeder Leiterplattenhersteller kann mit "seinem" AspectRatio eine verbindliche **Vorgabe für die Geometrie** des CAD-Designs geben.

Enddurchmesser
Lochdurchmesser
oder
Bohrdurchmesser
Kontaktierbare Bohrtiefe
oder
Hülslenlänge



Hinweis (Lochdurchmesser)

Bei mechanisch erstellten Bohrungen ist der Lochdurchmesser identisch mit dem Bohrwerkzeugdurchmesser. Bei durch Ablation (i.e. Lasertechnik) hergestellten Löchern ist der Lochdurchmesser der Durchmesser in Höhe der Startebene.

Regel (AspectRatio für Bohrungen)

$$\text{AspectRatio} = \frac{\text{Lochdurchmesser}_{(\min)}}{\text{Kontaktierbare Bohrtiefe}}$$

$$\text{Lochdurchmesser}_{(\min)} = \text{AspectRatio} \cdot \text{Kontaktierbare Bohrtiefe}$$

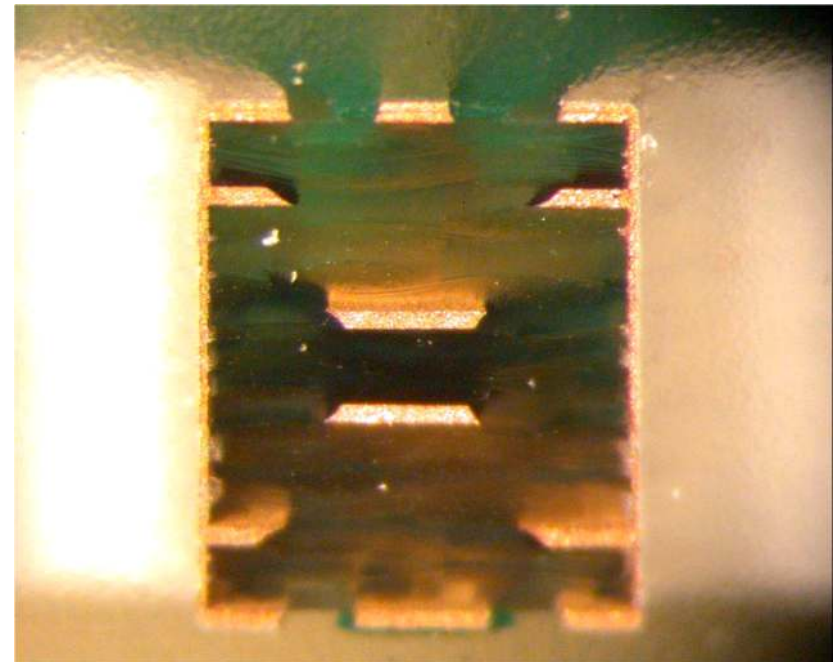
$$\text{Kontaktierbare Bohrtiefe} = \frac{\text{Lochdurchmesser}_{(\min)}}{\text{AspectRatio}}$$

Der Ätzprozeß, insbesondere die **Rückätzung**, bestimmt die Geometrie von Leiterbahnen, Viapads und Kupferflächen.

Es ist *unbedingt* notwendig, die **Querschnittsprofile** der Leiterbilder zu untersuchen und die Geometrie zu definieren.

Erst die Analyse der Geometrien erlaubt die Berechnung der Löt- und **Montageflächen** sowie die vorausschauende Bewertung der Folgen, die sich aus der Rückätzung ergeben.

Dies gilt auch für **Impedanzen**.



Bildquelle Arnold Wiemers

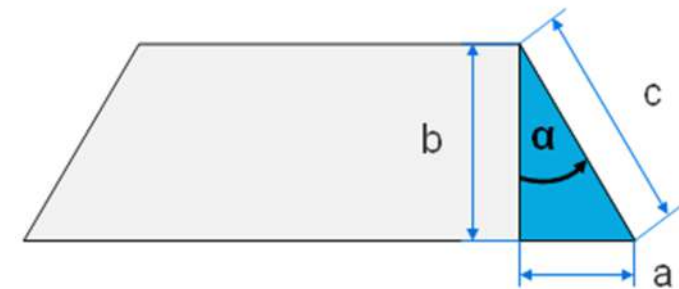
Die Längen für a, b und c sind nicht ohne weiteres ermittelbar. Die Dokumentation der CAD-Daten gibt dazu keine Auskunft.

Eine Beziehung zwischen diesen Größen kann über die **trigonometrische Definition** des Tanges beschrieben werden.

Allgemein gilt :

$$\tan \alpha = \frac{\text{Gegenkathete}}{\text{Ankathete}} = \frac{a}{b}$$

$$\begin{aligned} \text{Gegenkathete} &= \text{Ankathete} \cdot \tan \alpha \\ a &= b \cdot \tan \alpha \end{aligned}$$



Definition (AspectRatio für Leiterbilder)

Das AspectRatio beschreibt das mathematische Verhältnis bzw. die Relation zwischen der Unter- und Oberfläche eines Leiterbildes.

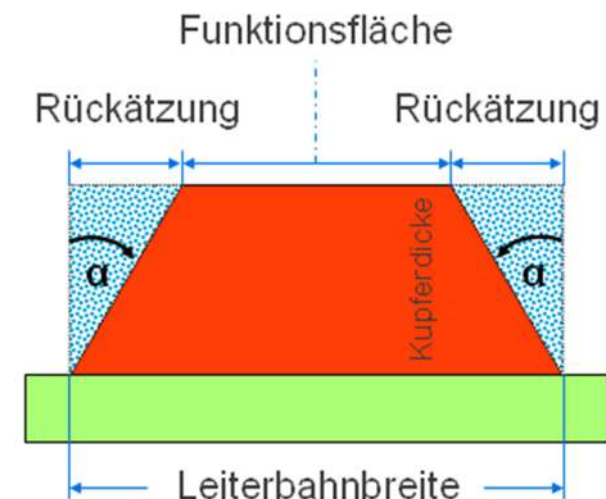
Mit dem Tangens des Winkels α wird ein mathematischer Zusammenhang zwischen der **Rückätzung** und der Kupferdicke formuliert. Die Breite des oberen Leiterbildes wird als **Funktionsfläche** bezeichnet. Die Rückätzung ist *ausschließlich* von der Kupferdicke abhängig.

Regel (Rückätzung gesamt)

$$\text{Rückätzung}_{(\text{ges})} = 2 \cdot \text{Kupferdicke} \cdot \tan \alpha$$

Regel (Funktionsfläche)

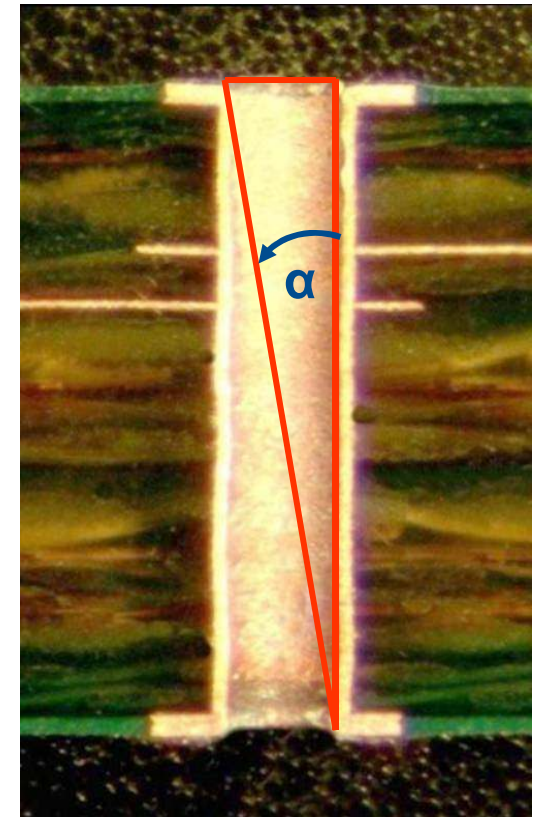
$$\begin{aligned} \text{Funktionsfläche} &= \text{Leiterbahnbreite} - \text{Rückätzung}_{(\text{ges})} \\ &= \text{Leiterbahnbreite} - 2 \cdot \text{Kupferdicke} \cdot \tan \alpha \end{aligned}$$



Mit dem "**AspectRatio für Leiterbilder**" kann der Leiterplattenhersteller das Ergebnis seines Ätzprozesses an das CAD-Design übergeben. Die **Geometrien im Layout** können dann die Prozeßtoleranzen vorausschauend ausgleichen und sowohl die Funktionsfläche (~ Lötfläche) als auch die physikalischen Eigenschaften des Leiterbildes (~ Impedanz) anpassen.

Hinweis (AspectRatio für Bohrungen)

Das "AspectRatio für Bohrungen" ist nichts anderes als der **Tangens** für die akzeptable Diagonale im Via. Beispiel : $1:8 = 1/8 = 0.125 \sim \tan(0.125) = 7^\circ$

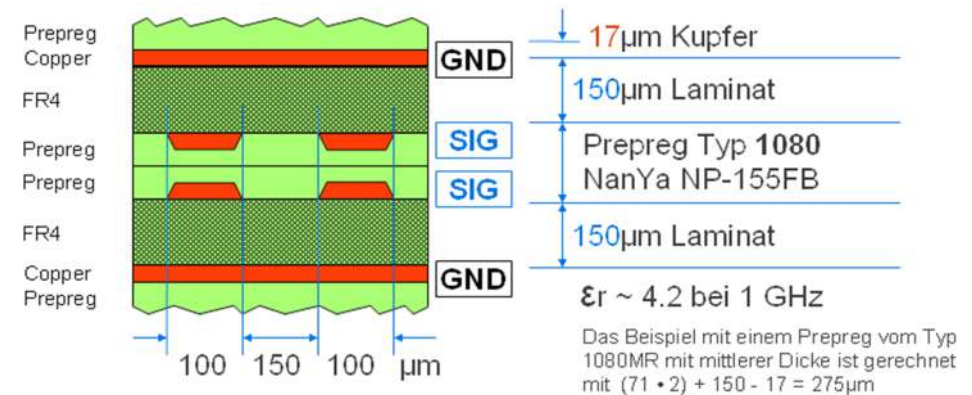


Ätzen + Impedanzen

Die Rückätzung des Leiterbildes hat *immer* einen Einfluß auf die **Impedanz**.

Insbesondere sind differentielle Impedanzen betroffen, weil sich mit dem Einfluß auf die Leiterbahnbreite auch der Leiterbahnabstand ändert.

CAM kann das im Rahmen der Arbeitsvorbereitung nicht ausgleichen. Die **kupferdicken-abhängige Kompensation** muß im Routing erfolgen und dabei den Lagenaufbau beachten.



Impedanzwerte mit Berücksichtigung des Tangens für die Rückätzung

Tangens	Leiterbahnbreite [µm]			Impedanz
tan 0°	100 oben	unten	100	101.5 Ohm
tan 15°	100 oben	unten	91	103.5 Ohm
tan 25°	100 oben	unten	84	104.7 Ohm
tan 35°	100 oben	unten	76	105.9 Ohm

Anforderungen an Highspeed-Boards

Die physikalische Berücksichtigung der Signal- und Powerintegrität

Die Auswahl des Basismaterials und der Lagenaufbau

Der Einfluß der Kontaktierungsvariante und der Rückätzung

Der Fertigungsablauf

Produktionstoleranzen in Richtlinien und Normen

Fertigungsablauf "Standard"



LP-Akademie	Fertigungsmodul in Auftragen	20.03.1998
Auftrag : 3963 LP2010/Weltmet LeiterplattenAkademie Gm 10555 Berlin		
Nr. Kennung Fertigungsmodul		
1	F-001 F	CMW-Bearbeitung
7	F-160 F	Fotoplotieren (Inlg)
8	F-018 F	Innenlagen
9	F-572 F	Innenlagen
10	F-020 F	Innenlagen
11	F-168 F	Innenlagen
12	F-028 F	Innenlagen
13	F-034 F	Innenlagen
14	F-024 F	Innenlagen
15	F-150 F	Innenlagen
16	F-030 F	Braunoxidation
17	F-031 F	Trocknen
19	F-154 F	Innenlagen
20	F-032 F	Multilayer-Bautyp
21	F-513 F	Multilayer
22	F-200 F	Roentgen + Bohren
23	F-190 F	Umssaemen
24	F-055 F	Mikroaetzen 1
25	F-218 F	Paketieren DKVias
26	F-207 F	Bohren
27	F-180 F	Pluggen
28	F-182 F	Pluggen
29	F-134 F	Kontaktieren
30	F-019 F	Paketieren komplett
31	F-036 F	Bohren
32	F-641 F	Kantenmetallisieren
33	F-042 F	Buersten
34	F-059 F	Desmaer / Plasma
35	F-044 F	Kontaktieren
36	F-056 F	Mikroaetzen 1
37	F-570 F	Aussenlagen
38	F-048 F	Aussenlagen
39	F-166 F	Aussenlagen
40	F-060 F	Aussenlagen
42	F-058 F	Mikroaetzen 2
43	F-084 F	Loetstopdruck
45	F-089 F	Loetstopdruck
46	F-090 F	Loetstopdruck
48	F-093 F	Bestueckungsdruck
49	F-062 F	Mikroaetzen 3
50	F-052 F	Endoberflaeche
51	F-103 F	Impedanzmessungen
52	F-104 F	Elektronische Prfg.
53	F-100 F	Platinumschnitt
54	F-108 F	Lieferumschnitt
55	F-600 F	Waschen JA
56	F-112 F	Warenausgang
		File isw3a144
		File: Prototypen + pruefen
		Entoxidieren (Vorbehandlung)
		Laminieren mit Fotoresist
		Belichten des Leiterbildes
		Entwickeln des Leiterbildes
		Aetzen des Leiterbildes
		Strippen des Fotolaminates 37um
		optisch pruefen
		Verpressen mit 601,9550-17C100-17
		Innenlagen
		Trocknen der Innenlagen
		Zusammenlegen der Lamine
		Presswerkzeuge oeffnen
		Paketaufnahme einbringen
		Rand/Grat entfernen
		vor dem Bohren
		maximal 3 Zuschnitte pro Paket
		zu pluggende DKVias
		doppelseitig
		Oberflaeche schleifen
		Galv. Metallisierung n.d.Pluggen
		Produktionszuschnitt
		TH-Bohrungen und Vias
		Teilfräseung der Kontur
		Entgraten und reinigen
		Innenwand der Huelen reinigen
		Galvanische Cu-Metallisierung
		vor dem Laminieren
		Laminieren mit Fotoresist
		Leiterbild Laser-Belichtung
		Entwickeln des Leiterbildes
		Aetzen
		Aussenlagen vor LS-Lack
		Flumbelichtung doppelseitig
		Entwickeln des Lackes
		Aushaerten des Lackes
		doppelseitig
		Endoberflaeche
		Chemisch Gold /ENIG
		1 Coupon / Zuschnitt
		Leiterplatten testen
		Fräsen
		Leiterplatten reinigen
		Endkontrolle
Information		
(D)atenarchiv (F)ertigungsschritt (I)information (N)erzeuge		
--- Fertigungsablauf ---		

Für die Fertigung der "Leiterplatte 2010" werden zirka **48** Arbeitsschritte benötigt.

Es gibt nur eine Verpressung.

Die Temperaturbelastung für das Basismaterial ist gering.

Die Geometrien sind im üblichen Bereich.

Mit guten und gut gewarteten Produktionsanlagen kann dieser Multilayer international bei vielen Leiterplattenherstellern eingekauft werden.

Die funktionale Zuverlässigkeit ist langfristig hoch.

[illegible]

Fertigungsablauf "Any Layer"

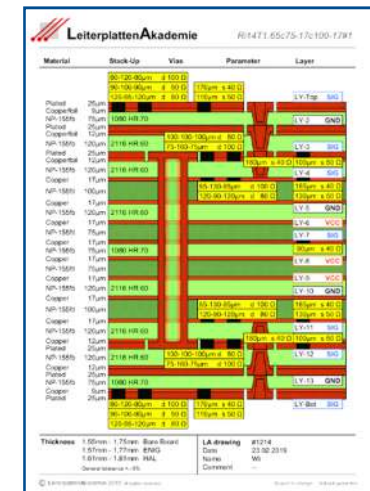
LP-Akademie			Fertigungsablauf		
Auftrag : 3965 Any Layer			Fertigungsablauf		
Nr.	Kennung	Fertigungsmodul	Nr.	Kennung	Fertigungsmodul
1	F-001	F CAM-Bearb.	62	F-657	F 2.TFG AOI-Test : Innenlagen prüfen
7	F-651	F 1.TFG M	63	F-651	F 3.TFG Fotoplotten : Filme erstellen und prüfen
8	F-652	F 1.TFG M	64	F-658	F 3.TFG Material : Prepregs ausgeben
9	F-670	F 1.TFG M	65	F-659	F 3.TFG Innenlagen : Zusammenlegen vor dem Verpressen
10	F-665	F 1.TFG M	66	F-661	F 3.TFG Innenlagen : Verpressen (Teilmultilayer)
11	F-681	F 1.TFG I	67	F-668	F 3.TFG Umsäumen : Rand/Grat entfernen
12	F-653	F 1.TFG I	68	F-685	F 3.TFG Lasern : BlindVia von oben
13	F-654	F 1.TFG I	69	F-686	F 3.TFG Lasern : BlindVia von unten
14	F-655	F 1.TFG I	70	F-671	F 3.TFG Desmear : Innenwand der Huelen reinigen
15	F-656	F 1.TFG I	71	F-689	F 3.TFG Innenlagen Bv : CoF Laminieren mit Fotoresist
16	F-657	F 1.TFG I	72	F-690	F 3.TFG Innenlagen Bv : CoF Belichten des Leiterbildes
17	F-660	F 1.TFG I	73	F-691	F 3.TFG Innenlagen Bv : CoF Entwickeln des Leiterbildes
18	F-682	F 1.TFG I	74	F-692	F 3.TFG Panelplatg Bv : CoF Kontaktieren
19	F-658	F 1.TFG I	75	F-693	F 3.TFG Innenlagen Bv : CoF Fotoresist strippen
20	F-659	F 1.TFG I	76	F-674	F 3.TFG Aussenlagen : Laminieren mit Fotoresist
21	F-661	F 1.TFG I	77	F-675	F 3.TFG Aussenlagen : Belichten des Leiterbildes
22	F-666	F 1.TFG U	78	F-676	F 3.TFG Aussenlagen : Entwickeln des Leiterbildes
23	F-666	F 1.TFG U	79	F-677	F 3.TFG Aussenlagen : Aetten des Leiterbildes
24	F-664	F 1.TFG M	80	F-678	F 3.TFG Aussenlagen : Fotoresist strippen
25	F-650	F 1.TFG F	81	F-657	F 3.TFG AOI-Test : Innenlagen prüfen
26	F-669	F 1.TFG H	82	F-200	F Roentgen + Bohren : Paketaufnahme einbringen
27	F-687	F 1.TFG H	83	F-190	F Umsäumen : Rand/Grat entfernen
28	F-688	F 1.TFG H	84	F-641	F Kantenmetallisieren : Teilfraesung der Kontur
29	F-673	F 1.TFG H	85	F-042	F Buersten : Entgraten und reinigen
30	F-685	F 1.TFG I	86	F-044	F Kontaktieren : Galvanische Cu-Metallisierung
31	F-686	F 1.TFG I	87	F-085	F Vermessen : Leiterbild
32	F-671	F 1.TFG I	89	F-063	F Steckerleiste : Laminieren und belichten
33	F-689	F 1.TFG I	90	F-064	F Steckervergoldung : 8 qcm
34	F-690	F 1.TFG I	91	F-066	F Steckerleiste : Laminat strippen
35	F-691	F 1.TFG I	92	F-071	F Steckerleiste : Ambindung der Stecker prüfen
36	F-692	F 1.TFG I	93	F-058	F Mikroaetzen 2 : Aussenlagen vor LS-Lack
37	F-693	F 1.TFG A	95	F-084	F Loetstopdruck : Filmbelichtung doppelseitig
38	F-674	F 1.TFG A	96	F-089	F Loetstopdruck : Entwickeln des Lackes
39	F-675	F 1.TFG A	97	F-090	F Loetstopdruck : Aushaerten des Lackes
40	F-676	F 1.TFG A	99	F-093	F Bestueckungsdruck : doppelseitig
41	F-677	F 1.TFG A	100	F-065	F Steckerleiste : Abkleben
42	F-678	F 1.TFG A	102	F-052	F Endoberflaeche : Chemisch Gold / ENIG
43	F-667	F 1.TFG M	103	F-334	F Externe Galvanik : Prüfen der Oberflaeche
44	F-651	F 2.TFG F	104	F-067	F Steckerleiste : Freistellen fuer E.-Pruefung
45	F-658	F 2.TFG M	105	F-103	F Impedanzmessungen : 1 Coupon / Leiterplatte
46	F-659	F 2.TFG I	106	F-104	F Elektronische Prfg : Leiterplatten testen
47	F-661	F 2.TFG I	107	F-800	F Schliffuntersuchung : BlindVia-Bohrungen
48	F-668	F 2.TFG U	108	F-100	F Platinenumschnitt : Fraesen
49	F-685	F 2.TFG I	109	F-108	F Lieferumschnitt : Fraesen
50	F-686	F 2.TFG I	110	F-600	F Waschen : Leiterplatten reinigen
51	F-671	F 2.TFG I	111	F-112	F Warenausgang : Endkontrolle
52	F-689	F 2.TFG I			
53	F-690	F 2.TFG I			
54	F-691	F 2.TFG I			
55	F-692	F 2.TFG F			
56	F-693	F 2.TFG I			
57	F-674	F 2.TFG A			
58	F-675	F 2.TFG A			
59	F-676	F 2.TFG A			
60	F-677	F 2.TFG A			
61	F-678	F 2.TFG A			

Für die Fertigung des "Any Layer" sind zirka **105 Arbeitsschritte** nötig.
Es gibt 3 Verpressungen.
Die Temperaturbelastung für das Basismaterial ist hoch.

Die Geometrien sind im kritischen Bereich.

Dieser Multilayer kann international nur bei wenigen Leiterplattenherstellern eingekauft werden.

Die funktionale Zuverlässigkeit ist riskant.



Fertigungsablauf "Dual Core"

LP-Akademie Fertigungsablauf			
Auftrag : 3966 Dual Core			
Nr.	Kennung	Fertigungsmodul	
1	F-001 F	CAM-Bearb.	
7	F-294 F	1.TFG M	
8	F-295 F	1.TFG M	
9	F-574 F	1.TFG I	
10	F-300 F	1.TFG I	
11	F-302 F	1.TFG I	
12	F-304 F	1.TFG I	
13	F-306 F	1.TFG I	
14	F-310 F	1.TFG A	
15	F-315 F	1.TFG I	
16	F-314 F	1.TFG I	
17	F-320 F	1.TFG I	
18	F-340 F	1.TFG U	
19	F-290 F	1.TFG M	
20	F-350 F	1.TFG M	
21	F-360 F	1.TFG M	
22	F-366 F	1.TFG A	
23	F-370 F	1.TFG A	
24	F-371 F	1.TFG A	
25	F-372 F	1.TFG A	
26	F-373 F	1.TFG A	
27	F-380 F	1.TFG M	
28	F-394 F	2.TFG M	
29	F-395 F	2.TFG M	
30	F-576 F	2.TFG I	
31	F-400 F	2.TFG I	
32	F-402 F	2.TFG I	
33	F-404 F	2.TFG I	
34	F-406 F	2.TFG I	
35	F-410 F	2.TFG A	
36	F-415 F	2.TFG I	
37	F-414 F	2.TFG I	
38	F-420 F	2.TFG I	
39	F-440 F	2.TFG U	
40	F-390 F	2.TFG F	
41	F-450 F	2.TFG M	
42	F-460 F	2.TFG M	
43	F-466 F	2.TFG A	
44	F-470 F	2.TFG I	
45	F-471 F	2.TFG A	
46	F-472 F	2.TFG A	
47	F-473 F	2.TFG A	
48	F-480 F	2.TFG M	
49	F-150 F	Innenlöt	
50	F-030 F	Braueros	
51	F-031 F	Trocknen	
53	F-154 F	Innenlöt	
54	F-032 F	Multilöt	
55	F-513 F	Multilöt	
56	F-190 F	Umssaug	
57	F-200 F	Roentgen	
58	F-019 F	Paketier	
59	F-036 F	Bohren	
60	F-641 F	Kantenm	
61	F-042 F	Buerste	
62	F-059 F	Desmead	

LP-Akademie Fertigungsmodul in Aufträgen			
20.03.2019			
Auftrag : 3966 Dual Core LeiterplattenAkademie Gm 10555 Berlin			
Nr.	Kennung	Fertigungsmodul	
63	F-044 F	Kontaktieren	: Galvanische Cu-Metallisierung
64	F-056 F	Mikroätzen 1	: vor dem Laminieren
65	F-570 F	Aussenlagen	: Laminieren mit Fotoresist
66	F-048 F	Aussenlagen	: Leiterbild Laser-Beleuchtung
67	F-166 F	Aussenlagen	: Entwickeln des Leiterbildes
68	F-060 F	Aussenlagen	: Ätzen
69	F-085 F	Vormessen	: Leiterbild
71	F-058 F	Mikroätzen 2	: Aussenlagen vor LS-Lack
73	F-084 F	Loetstopdruck	: Filmbeleuchtung doppelseitig
74	F-089 F	Loetstopdruck	: Entwickeln des Lackes
75	F-090 F	Loetstopdruck	: Aushärten des Lackes
77	F-093 F	Besteckungsdruck	: doppelseitig
78	F-062 F	Mikroätzen 3	: vor der Endoberflaeche
79	F-052 F	Endoberflaeche	: Chemisch Gold / ENIG
80	F-103 F	Impedanzmessungen	: 1 Coupon / Leiterplatte
81	F-104 F	Elektronische Prfg.	: Leiterplatten testen
82	F-100 F	Platinenumschnitt	: Fraesen
83	F-108 F	Lieferumschnitt	: Fraesen
84	F-600 F	Waschen	JA : Leiterplatten reinigen
85	F-112 F	Warenausgang	: Endkontrolle

Information			
(D)atenarchiv	(F)ertigungsschritt	(I)information	(W)erkzeuge

--- Fertigungsablauf -----

Für die Fertigung des "Dual Core" sind zirka **79** Arbeitsschritte nötig.

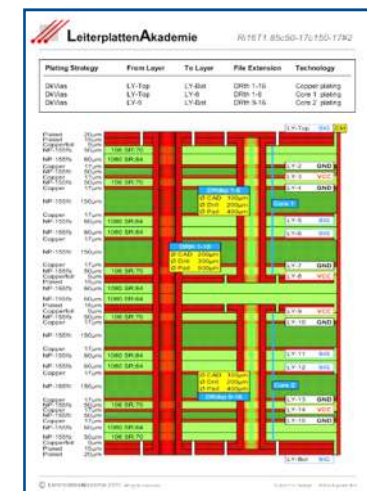
Es gibt 2 Verpressungen.

Die Temperaturbelastung für das Basismaterial ist mittel.

Die Geometrien sind im üblichen Bereich.

Dieser Multilayer kann international bei etlichen Leiterplattenherstellern eingekauft werden.

Die funktionale Zuverlässigkeit ist hoch.



Die physikalische Berücksichtigung der Signal- und Powerintegrität

Die Auswahl des Basismaterials und der Lagenaufbau

Der Einfluß der Kontaktierungsvariante und der Rückätzung

Der Fertigungsablauf

Produktionstoleranzen in Richtlinien und Normen

Produktionstoleranzen in Richtlinien und Normen

Normungsgremien

Für das CAD-Design, die Fertigung von Leiterplatten und die Produktion von Baugruppen sind Normen und Richtlinien wichtig.

Weltweit gibt es mehrere Dutzend Gremien, die sich mit *dieser* Aufgabe beschäftigen und mit etlichen Nebenbedingungen, die für Basismaterialien, Lacke, Werkzeuge und, und ... wichtig sind.

Das ist gut so.

Aber : Elektronische Produkte sind heute auf hohem Niveau individuell und variantenreich. **Statische Normen** können diese Aufgabe *nicht erfüllen*.

LP-Akademie		Normungsgremien	20.03.2019
Abkürzung	Organisation		
AFNOR	Association Française de Normalisation		
ANSI	American National Standards Institute		
AS	Australian Standards		
ASTM	American Society for Testing and Materials		
CECC	Cenelec Electronic Components Committee		
CNS	Chinese National Standards		
CSA	Canadian Standards Association		
DANSK	Dansk Standard		
DGO	Deutsche Gesellschaft fuer Galvano- und Oberflächentechnik		
DIN	Deutsches Institut fuer Normierung		
DIN/EN	Aus dem Europäischen Recht uebernommene DIN-Norm		
DIN/ISO	Aus dem ISO-Regelwerk uebernommene DIN-Norm		
DIS	Draft International Standard		
DVS	Deutscher Verband fuer Schweissen und verwandte Verfahren		
Delphi	Delphi		
EIA	Electronic Industries Alliance		
EIPC	European Institut for the PCB Community		
EN	European Standards		
GOST	Gosstandart		
ICAO	International Civil Aviation Organization		
IEC	International Electrotechnical Commission		
IEEE	Institute of Electrical and Electronics Engineers		
IPC	Institute for Interconnecting and Packaging Electronic Circuit		
ISA	Instrumentation Systems and Automation Society		
ISO	International Organization for Standardization		
ITU	International Telecommunication Union		
JASO	Japanese Automobile Standards Organization		
JEDEC	Joint Electron Device Engineering Council		
JSA	Japanese Standards Association		
KS	Korea Standard		
LN	Luftfahrt Normen		
LST	Lithuania Bureau of Standards		
MIL	Military Specifications		
NEMA	National Electrical Manufacturers Association		
NF	Normalisation de France		
RAL	Deutsches Institut fuer Gütesicherung und Kennzeichnung		
RAL	(alt) : Reichsausschuss fuer Lieferbedingungen		
SABS	South African Bureau of Standards		
SAE	Society of Automotive Engineers		
SASO	Saudi Arabian Standards Organization		
SFS	Finlands Standardiserings Kommission		
SNV	Schweizer Normenvereinigung		
SNZ	New Zealand Standards		
SS	Singapore Standard		
--- Normungsgremien			Seite 1

Produktionstoleranzen in Richtlinien und Normen

Die IPC A-600. Der Klassiker.

Seit Jahrzehnten ist die Norm/Richtlinie des IPC international das führende Dokument für die visuelle Abnahme von Leiterplatten.

Ihr stehen sehr viele **weitere Normen/Richtlinien** zur Seite, die sicherlich allen im Detail bekannt sind...

IPC-2222 A

IPC-2251

IPC-4203

IPC-6011

IPC-6016

IPC-2223

IPC-4101C

IPC-4204

IPC-6012C

IPC-A-610D

IPC-2226

IPC-4202

IPC-4761

IPC-6013B

...

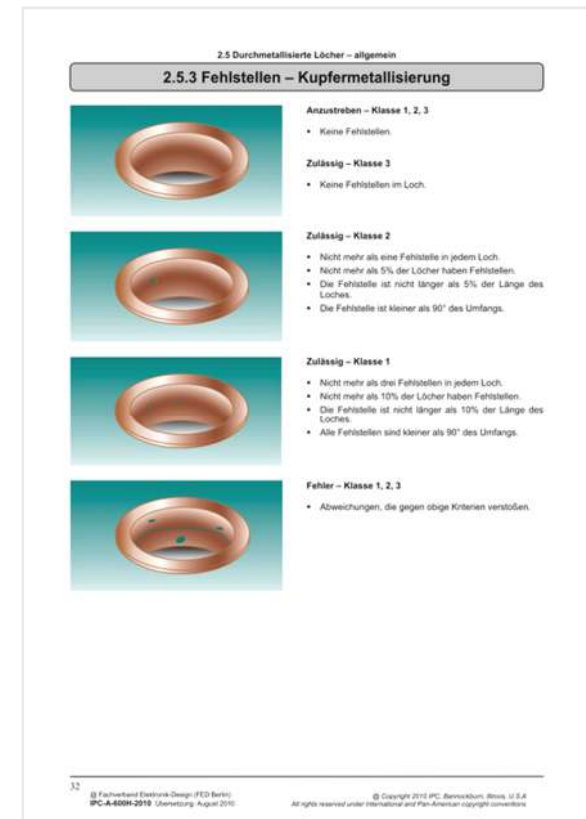


Die IPC A-600. Fehler in der Metallisierung.

Insbesondere die zuverlässige Metallisierung der Vias ist für Highspeed-Boards - und ja eigentlich für alle komplexen Leiterplatten - eine unverzichtbare Qualität.

Die visuelle Inspektion ist für Enddurchmesser von 100µm für DK-Vias, BlindVias und BuriedVias in der Praxis *nicht* mehr durchführbar.

Diese Situation ist beunruhigend. Eine bessere Option ist das **prozeßsichere CAD-Design**. Das geht allerdings nur unter Berücksichtigung **individuell** zu formulierender Aspect-Ratien.



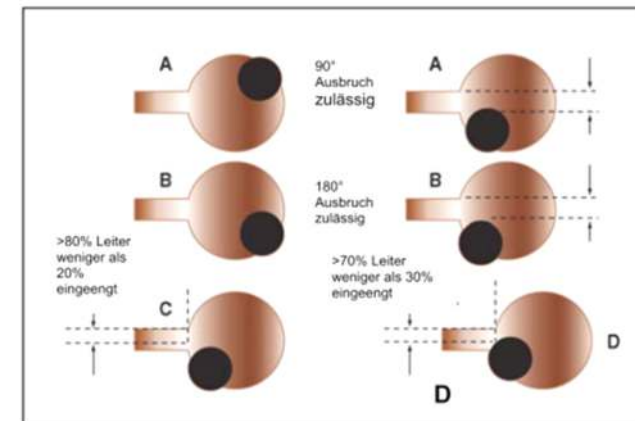
Die IPC A-600. Versatz des Vias zum Leiterbild.

Klasse 2 ist typisch für Produkte im Bereich der Industrieelektronik.

Standardseitig akzeptiert IPC, wenn Bohrungen außerhalb des Pads liegen (... das betrifft eigentlich aber nur Vias).

Es wird nicht bedacht, daß Vias und Pads in der CAD-Bibliothek als **komplexe Padstacks** definiert sind, denen auch eine Isolation auf Powerplanes zugeordnet ist. Die hier akzeptierte Toleranz gestattet Unterschreitungen des Isolationsabstandes auf den Powerplanes.

Das ist **fahrlässig** und folglich inakzeptabel.



Zulässig – Klasse 2

- Ausbruch von maximal 90° (A).
- Wenn der Ausbruch an der Verbindungsstelle der Leiterbahn zur Anschlussstelle auftritt, darf die Leiterbahn um maximal 20% der Mindestleiterbreite reduziert sein, die in der technischen Zeichnung oder dem Nennwert des Fertigungsmasters festgelegt ist. Die Verbindung der Leiterbahn sollte nicht weniger als 0,05 mm [0,0020 in] oder die Mindestleiterbreite sein (der kleinere Wert gilt.). (C)
- Minimaler Seitenabstand zwischen den Leitern ist eingehalten.

Bildquelle IPC A-600

18. März 2019 - Folie 39

Produktionstoleranzen in Richtlinien und Normen

Kontrovers : Statik und Dynamik

Für den CAD-Designer, den Leiterplattenhersteller und den Baugruppenproduzenten stellt sich die Forderung nach dynamischen, projektbezogenen und einsatzabhängigen Toleranzen, die individuell und zeitnah zur Verfügung stehen müssen.

Ein statisches Regelwerk mit unüberschaubaren Verknüpfungen zu begleitenden Regelwerken ist unübersichtlich, provoziert Fehler und führt zu gefährlichen Risiken.

► **Wir müssen handeln.**

LP-Akademie		Auftrag 3966
LEITERPLATTENPRODUKTION		
	Toleranz Pruefen	: +3ym -8ym Leiterbild der Aussenlage : Kurzschlusse, Kratzer und Unterbrechungen
OFT 13 F-306	1.TFG Innenlagen	: Fotoresist strippen
	Strpgeschwindigkeit	: _____ (m/min)
	Gemessene Cu-Dicke	: _____ (ym) Kupfer
QP 14 F-310	1.TFG AOI-Test	: Innenlagen pruefen
	Fehlerkennung Entwerten	: Schwarz markieren : Leiterbahnbuendel durchtrennen
	Richtlinie Toleranz Pruefen	: ISW-Standard : +8ym -8ym Leiterbildstruktur : AOI-Test gegen Referenzdaten (Gerber Keine Kurzschlusse/Unterbrechungen)
MLT 15 F-315	1.TFG Innenlagen	: Stanzen
	Richtlinie Toleranz Pruefen	: ISW-Standard : +15ym -15ym Stanzgenauigkeit : Positionierung der Stanzposition mit Bezug zur Passmarkierung
MLT 16 F-314	1.TFG Innenlagen	: Zusammenlegen vor dem Verpressen
	Richtlinie Toleranz Pruefen	: ISW-Standard : +20ym -20ym Passung im Presswerkzeug : Stanzaufnahme auf der Innenlage
MLT 17 F-320	1.TFG Innenlagen	: Verpressen (Teilmultilayer)
	Werkzeugaufbau	: _____
	ML-Pressen	: _____
	ML-Pressprogramm	: _____
	Richtlinie Toleranz Pruefen	: ISW-Standard : +25ym -25ym Lagenversatz : Passgenauigkeit
BFT 18 F-340	1.TFG Umsaeumen	: Rand/Grat entfernen

Alles wir gut... und vielen Dank für Ihr Interesse

Eine einfachere Einfachheit ist nur möglich vor
dem Hintergrund einer komplexeren Komplexität.

Gerhard Eigelsreiter, Graz

Komplexe Systeme erzeugen komplexe Fehler.

Berufserfahrung

Alles Gute ist immer einfach. Aber alles Einfache
ist nicht immer gut.

Volksmund

Man muß die Dinge so einfach wie möglich
machen, aber nicht zu einfach.

Albert Einstein

Quidquid agis, prudenter agas et respice finem.

Äsop



Bildquelle: Arnold Wiemers

Anhang

Arnold Wiemers

Nach naturwissenschaftlichem Studium ab 1980 selbstständig als Softwareentwickler für die Kalkulation, die Fertigungsabläufe und Fertigungsleitsteuerung von Leiterplatten.

Ab 1983 angestellter Geschäftsführer für den Fachbereich CAD der ILFA GmbH. In den 1990er Jahren Aufbau der CAM.

Ab 2000 Technologieberatung für komplexe Leiterplatten.

Seit 2009 Technischer Direktor der LeiterplattenAkademie GmbH. Fachseminare zur Leiterplatten- und Baugruppenteknologie. Mitarbeit am Schulungskonzept der entsprechenden Fachverbände. Aktives Mitglied im AK-Design des ZVEI.

Förderung der Ausbildung an Fach- und Hochschulen.



Kurzportrait: Ilfa

Branche Leiterplattenproduktion

Dienstleistungen Starre, flexible und starrflexible Leiterplatten / Ultra Thin Multilayer / Blind-, Buried-, Stacked Vias / Pluggen / Impedanzkontrollierte Leiterbahnen / Mikrofeinstleiter bis 50 µm / Embedded Components / Integriertes Mikrokühlsystem (ILFACOOOL) / HF- und Leistungstechnik / EMV gerechte Leiterplatten / Hybridmultilayer / Kantenmetallisierung / Elektro-Optische Leiterplatten / Multilayer bis 32 Lagen / CAD-Design / Scan-Service / Machbarkeitsanalyse / Bestückung (...über Partnerunternehmen)

Historie Das inhaber- und gründergeführte Unternehmen ILFA (~ Industrielle Leiterplattenfertigung aller Art) entwickelt und produziert seit über 37 Jahren Leiterplattentechnologie im High-Tech-Segment.

Standorte Firmensitz 30559 Hannover Lohweg 3
Niederlassung 01723 Kesselsdorf Am Wüsteberg 3
Dresden

Kennzahlen 18 Mio. € Umsatz / a 190 Mitarbeiter

Zertifizierungen DIN ISO EN 9001, DIN ISO EN 14001, DIN ISO EN 50001 / UL CERTIFICATE / CERTIFIED COMPLIANCE TO IPC 6010-SERIES & SM 840, IPC QL-653 und IPC A-600

